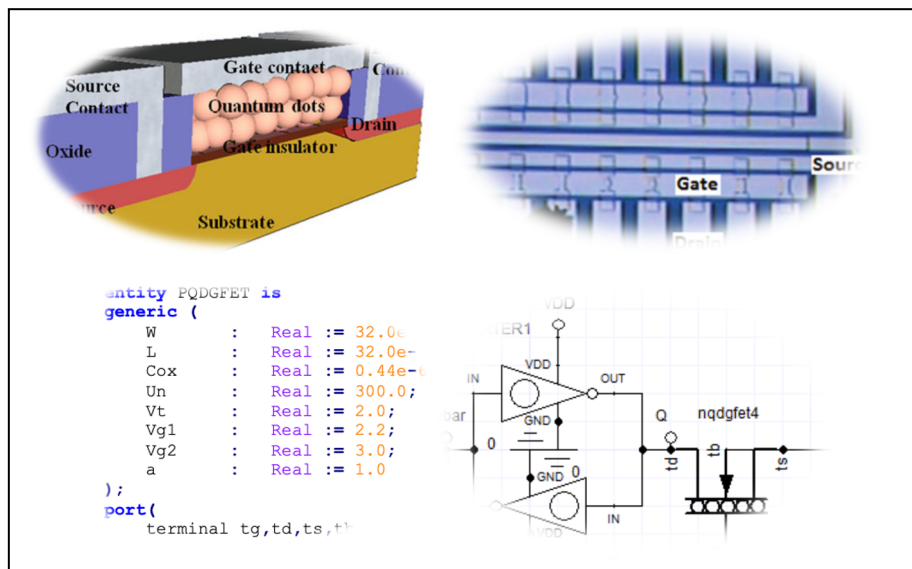


Πρόγραμμα Μεταπτυχιακών Σπουδών
«ΔΙΑΔΙΚΤΥΟ ΤΩΝ ΠΡΑΓΜΑΤΩΝ ΚΑΙ ΕΥΦΥΗ ΠΕΡΙΒΑΛΛΟΝΤΑ»

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Σχεδίαση/Προσομοίωση Μικροηλεκτρονικών Διατάξεων-Κυκλωμάτων με
VHDL-AMS



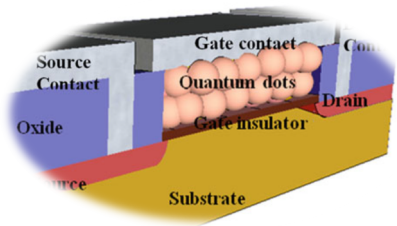
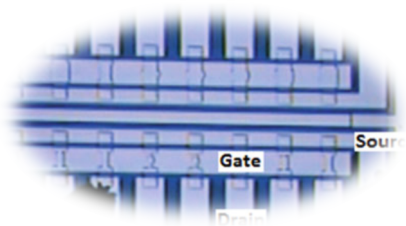
Μεταπτυχιακός Φοιτητής / Φοιτήτρια: Αριστείδης Κίτσιος, AM msciot19002
Επιβλέπων / Επιβλέπουσα: Γεώργιος Πάτσης, Καθηγητής

ΑΙΓΑΛΕΩ, ΟΚΤΩΒΡΙΟΣ 2022

**Master of Science in
“INTERNET of THINGS AND INTELLIGENT ENVIRONMENTS”**

MSc Thesis

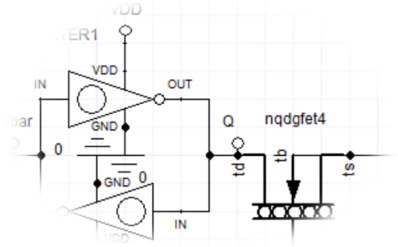
Design/Simulate Microelectronic Structures-Circuits with VHDL-AMS

```

entity PQDGFET is
generic (
W      : Real := 32.0e-6;
L      : Real := 32.0e-6;
Cox    : Real := 0.44e-6;
Un     : Real := 300.0;
Vt     : Real := 2.0;
Vg1    : Real := 2.2;
Vg2    : Real := 3.0;
a      : Real := 1.0;
);
port(
terminal tg,td,ts,tb

```



Student: Kitsios, Aristeidis, Registration Number msciot19002
MSc Thesis Supervisor: Patsis, George, Professor

ATHENS-EGALEO, OCTOBER 2022

Η Διπλωματική Εργασία έγινε αποδεκτή και βαθμολογήθηκε από την εξής τριμελή επιτροπή:

Όνοματεπώνυμο Θέση (Επιβλέπων)	Όνοματεπώνυμο Θέση (Μέλος)	Όνοματεπώνυμο Θέση (Μέλος)

Copyright © Με επιφύλαξη παντός δικαιώματος. All rights reserved.

ΠΑΝΕΠΙΣΤΗΜΙΟ ΔΥΤΙΚΗΣ ΑΤΤΙΚΗΣ και [Αριστείδη Κίτσιο],

[Οκτώβριος, 2022]

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τους συγγραφείς.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον/την συγγραφέα του και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις θέσεις του επιβλέποντος, της επιτροπής εξέτασης ή τις επίσημες θέσεις του Τμήματος και του Ιδρύματος.

ΔΗΛΩΣΗ ΣΥΓΓΡΑΦΕΑ ΔΙΔΑΚΤΟΡΙΚΗΣ ΔΙΑΤΡΙΒΗΣ

Ο κάτωθι υπογεγραμμένος Αριστείδης Κίτσιος του Σπύρου, με αριθμό μητρώου msciot19002, φοιτητής του Πανεπιστημίου Δυτικής Αττικής της Σχολής ΜΗΧΑΝΙΚΩΝ του Τμήματος ΗΛΕΚΤΡΟΛΟΓΩΝ ΚΑΙ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ,

δηλώνω υπεύθυνα ότι:

«Είμαι συγγραφέας αυτής της διπλωματικής εργασίας και ότι κάθε βοήθεια την οποία είχα για την προετοιμασία της είναι πλήρως αναγνωρισμένη και αναφέρεται στην εργασία. Επίσης, οι όποιες πηγές από τις οποίες έκανα χρήση δεδομένων, ιδεών ή λέξεων, είτε ακριβώς είτε παραφρασμένες, αναφέρονται στο σύνολό τους, με πλήρη αναφορά στους συγγραφείς, τον εκδοτικό οίκο ή το περιοδικό, συμπεριλαμβανομένων και των πηγών που ενδεχομένως χρησιμοποιήθηκαν από το διαδίκτυο. Επίσης, βεβαιώνω ότι αυτή η εργασία έχει συγγραφεί από μένα αποκλειστικά και αποτελεί προϊόν πνευματικής ιδιοκτησίας τόσο δικής μου, όσο και του Ιδρύματος.

Παράβαση της ανωτέρω ακαδημαϊκής μου ευθύνης αποτελεί ουσιώδη λόγο για την ανάκληση του διπλώματός μου».

Ο Δηλών

Αριστείδης Κίτσιος



ΠΕΡΙΛΗΨΗ

Η παρούσα διπλωματική αφορά την μοντελοποίηση και την προσομοίωση μικροηλεκτρονικών κυκλωμάτων και πώς δημιουργούνται τα μοντέλα αυτών των ηλεκτρονικών διατάξεων. Δίνεται μεγάλη έμφαση στα φυσικά φαινόμενα που δρουν σε τέτοιες διατάξεις και πώς αντλούνται οι εξισώσεις που χρησιμοποιούνται για την μοντελοποίησή τους. Επίσης επιχειρείται η κατασκευή ενός μοντέλου τρανζίστορ για την αξιολόγησή του, από την σύγκριση των αποτελεσμάτων των προσομοιώσεων και των θεωρητικών μοντέλων.

Αρχικά γίνεται μια αναλυτική παρουσίαση των ιδιοτήτων των ημιαγωγών και πώς εκμεταλλευόμαστε την ιδιαιτερότητα τους για να κατασκευάσουμε χρήσιμες δομές. Παρουσιάζεται η δομή του MOSFET και τα φυσικά φαινόμενα που δρουν στο εσωτερικό του και η αρχή λειτουργίας του. Επίσης παρουσιάζεται και ένα είδος τρανζίστορ που βασίζει την λειτουργία του στις κβαντικές τελείες και αναλύεται οι λειτουργία του.

Στη συνέχεια της διπλωματικής, αναφέρονται τα εργαλεία που χρησιμοποιούνται για μοντελοποίηση. Γίνεται μια σύντομη αναφορά στα χαρακτηριστικά της γλώσσας VHDL-AMS που χρησιμοποιήθηκε για την κατασκευή των μοντέλων. Επίσης γίνεται αναφορά στα διάφορα μοντέλα που χρησιμοποιούνται για έρευνες και αξιολόγηση των εξαρτημάτων, και παρουσιάζονται οι εξισώσεις που απαρτίζουν το μοντέλο BSIM3v3 και ποια φυσικά φαινόμενα περιγράφουν ένα MOSFET.

Στο επόμενο βήμα της διπλωματικής αφορά την κατασκευή των μοντέλων και την προσομοίωση για τα QDGFET P-type και N-type. Παρουσιάζονται τα δύο προγράμματα που χρησιμοποιήθηκαν (hAMSter και Simplorer), οι κώδικες που γράφτηκαν και τα βήματα της προσομοίωσης. Τέλος παρουσιάζονται οι χαρακτηριστικές μεταφορές για τα μοντέλα και κατασκευάζεται ένα κύτταρο μνήμης SRAM τριαδικής κατάστασης με τα μοντέλα των τρανζίστορ και επαληθεύεται η σωστή λειτουργίας της.

ΛΕΞΕΙΣ – ΚΛΕΙΔΙΑ: Αντιστροφέας CMOS, Επίπεδο Φέρμι, Ημιαγωγοί, Κβαντικές τελείες, Μνήμη Τυχαίας, Μοντελοποίηση, Προσπέλασης, Προσομοίωση, Τρανζίστορ Επίδρασης Πεδίου

ABSTRACT

This diploma thesis concerns the modeling and simulation of microelectronic circuits and how the models of these electronics are created. Emphasis is given on the physical phenomena acting on such structures and how the equations used to model them are derived. The construction of a transistor model is also attempted for its evaluation, by comparing the results of simulations and theoretical models.

First, there is a detailed presentation of the properties of semiconductors and how we take advantage of their specificity to construct useful structures. The structure of the MOSFET and the physical phenomena acting inside it and its principle of operation are presented. A type of transistor based on quantum dots is also presented and its operation is analyzed.

Following the thesis, the tools used for modeling are mentioned. A brief reference is made to the features of the VHDL-AMS used to construct the models. Reference is also made to the various models used, and the equations that make up the BSIM3v3 model and the physical phenomena that they describe in a MOSFET are presented.

In the next part of the thesis, it concerns the construction of the models and the simulation for the P-type and N-type QDGFETs. The two programs used (hAMStEr and Simplorer), the codes written and the simulation steps are presented. Finally, the transfer characteristics for the models are presented and a ternary state SRAM memory cell is constructed with the transistor models and its correct operation is verified.

KEYWORDS: BSIM3v3, CMOS Inverter, Field Effect Transistor, Fermi Level, Modeling, Semiconductor, Simulation, VHDL-AMS, Quantum Dots

ΠΙΝΑΚΑΣ ΑΚΡΩΝΥΜΙΩΝ-ΣΥΝΤΟΜΟΓΡΑΦΙΩΝ

MOSFET: Metal-Oxide-Semiconductor Field-Effect Transistor

MIS: Metal-Insulator-Semiconductor

QD: Quantum Dots

SET: Single- Electron Transistor

CNTFET: Carbon nanotube Field-Effect Transistor

QDGFET: Quantum Dot Gate Field-Effect Transistor

QDCFET: Quantum Dot Channel FET

SWSFET: Spatial Wave function Switched

SOI: Silicon on Insulator

CMOS: Complementary Metal-Oxide-Semiconductor

BJT: Bipolar Junction Transistor

VLSI: Very Large Scale Integration

HDL: Hardware Description Language

VHDL: VHSIC Hardware Description Language

VHSIC: Very High Speed Integrated Circuit

IC: Integrated Circuit

DAEs: Differential-algebraic system of equations

VHDL-AMS: VHDL Analog-Mixed Signal

CAD: Computer Aided Design

BSIM: Berkeley Short-channel IGFET Model

IGFET: Insulated-gate Field-effect Transistor

DIBL: Drain Induced Barrier Lowering

LOCOS: LOCAl Oxidation of Silicon

TR: Transient analysis

DC: Direct Current

AC: Alternative Current

STI: Standard Ternary Inverter

PTI: Positive Ternary Inverter

NTI: Negative Ternary Inverter

RAM: Random Access Memory

SRAM: Static RAM

Μεταπτυχιακή Διπλωματική Εργασία, Αριστείδης Κίτσιος, AM msciot19002

DRAM: Dynamic RAM

WL: Word Line

BL: Bit Line

ΠΙΝΑΚΑΣ ΣΥΜΒΟΛΩΝ

ϵ	Διηλεκτρική σταθερά	F/cm
ϵ_{ox}	Διηλεκτρική σταθερά οξειδίου	F/cm
ϵ_{si}	Διηλεκτρική σταθερά οξειδίου	F/cm
f	Δυναμικό	Volt (V)
f_i	Δυναμικό που ορίζεται ως $f_i = -E_i/q$	Volt (V)
F	Δυναμικό Quasi-Fermi	Volt (V)
j_m	Έργο εξόδου μετάλλου	Volt (V)
m	Κινητικότητα	cm ² /Vs
m_n	Κινητικότητα Ηλεκτρονίου	cm ² /Vs
m_p	Κινητικότητα Οπών	cm ² /Vs
ρ	Πυκνότητα φορτίου	C/cm ³
y_B	Διαφορά ανάμεσα στο εγγενή και εξωγενή επίπεδο Fermi	Volt (V)
A	Area	cm ²
C	Χωρητικότητα	F
C_{ox}	Χωρητικότητα Οξειδίου της Πύλης ανά μονάδα επιφάνειας	F/cm ²
E	Ηλεκτρικό πεδίο	V/cm
E_a	Ενέργεια ενεργοποίησης	eV
E_C, E_V	Μέγιστη ενέργεια ζώνης αγωγιμότητας και σθένους	eV
E_F	Επίπεδο Φέρμι	eV
E_i	Εγγενή επίπεδο Φέρμι	eV
h	Σταθερά Planck (6.626×10^{-34})	Js
I_d	Ρεύμα Απαγωγού	A
I_{dsat}	Ρεύμα κορεσμού απαγωγού	A
J, J_n, J_p	Πυκνότητα ρεύματος, ηλεκτρονίων και όπων	A/cm ²
k	Σταθερά Boltzmann (1.38×10^{-23})	J/K
L	Μήκος καναλιού	nm
n	Πυκνότητα ηλεκτρονίων	cm ⁻³
n_i	Ενδογενή συγκέντρωση ηλεκτρονίων	cm ⁻³
N_a	Συγκέντρωση νόθευση φορέα	cm ⁻³
N_d	Συγκέντρωση νόθευση δότη	cm ⁻³
N_p	Συγκέντρωση νόθευσης πολυπυρίτιο	cm ⁻³
N_{sub}	Συγκέντρωση νόθευσης υποστρώματος	cm ⁻³
p	Πυκνότητα οπών	cm ⁻³
q	Φορτίο Ηλεκτρονίων (1.6×10^{-19})	C
Q_{inv}	Φορτίο αντιστροφής ανά μονάδα επιφάνειας	C/cm ²

t_{ox}	Πάχος οξειδίου του πυριτίου	nm
T	Θερμοκρασία	Kelvin (K)
v	Ταχύτητα φορέων	cm/s
v_{sat}	Ταχύτητα φορέων κορεσμού	cm/s
V	Τάση	Volt (V)
V_d	Τάση Απαγωγού	Volt (V)
V_d	Τάση τροφοδοσίας	Volt (V)
V_{fb}	Τάση επίπεδης ζώνης	Volt (V)
V_g	Τάση πύλης	Volt (V)
V_{in}	Τάση εισόδου	Volt (V)
V_{out}	Τάση εξόδου	Volt (V)
V_{th}	Τάση κατωφλίου	Volt (V)
$V_{th,sat}$	Τάση κατωφλίου κορεσμού	Volt (V)
W	Πλάτος καναλιού	nm
W_d	Πλάτος στρώματος απογύμνωσης	nm

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

1	ΘΕΩΡΗΤΙΚΟ ΥΠΟΒΑΘΡΟ	13
1.1	Η δομή MOS και χαρακτηριστικά των Ημιαγωγών	13
1.1.1	Εισαγωγή	13
1.1.2	Τα είδη των ημιαγωγών [1] [2].....	13
1.1.2.1	Χαρακτηριστικά των ημιαγωγών	13
1.1.2.2	Η κρυσταλλική δομή ενός ημιαγωγό.....	14
1.1.3	Τα διαγράμματα ενεργειακών σταθμών.....	15
1.1.4	Προσμίξεις σε ημιαγωγούς και τύποι ημιαγωγών	16
1.1.4.1	Ενεργειακά Διάγραμμα Ημιαγωγών τύπου N και P.....	17
1.1.4.2	Κινητικότητα ηλεκτρονίων μέσα σε ημιαγωγό.....	18
1.1.4.3	Η επίδραση της θερμοκρασίας στους ημιαγωγούς.....	20
1.1.5	Οι ενεργειακές στάθμες δύο μετάλλων σε επαφή.....	21
1.1.6	Ενεργειακή στάθμη επαφών PN.....	22
1.1.7	Οι ενεργειακές στάθμες της δομής MOS [3] [4] [5]	25
1.1.7.1	Εισαγωγή.....	25
1.1.7.2	Ενεργειακές στάθμες σε ένα MOS.....	25
1.1.7.3	MOS σε κατάσταση ισορροπίας	26
1.1.7.4	Κατάσταση συσσώρευσης(Accumulation).....	28
1.1.7.5	Κατάσταση αντιστροφής.....	29
1.1.7.6	Η χαρακτηριστική C-V στην δομή MOS.....	29
1.2	Η δομή του MOSFET [6] [7] [8].....	30
1.2.1	Εισαγωγή	30
1.2.2	Τα είδη των MOSFET	31
1.2.3	Αρχή λειτουργίας ενός MOSFET	32
1.2.3.1	Κατάσταση Pinch-off και η χαρακτηριστική	34
1.2.3.2	Διαμόρφωση Μήκους Καναλιού	35
1.2.3.3	Η επίδραση της πόλωσης του Σώματος (Body-Bias Effect)	35
1.3	Quantum Dots [9] [10] [11].....	37
1.3.1	Εισαγωγή	37
1.4	Quantum Transistors	41
1.4.1	Φαινόμενο Σήραγγας	41
1.4.2	Η δομή ενός Single Electron Transistor (SET)	41
1.4.3	Λειτουργία ενός SET και η φραγή Coulomb.....	42
1.4.4	Double-Electron-layer tunneling transistor (Deltt).....	44
1.5	Quantum Dot Gate Field-Effect Transistor (QDGFET) [12].....	46
1.5.1	Χρήσεις των QDs στα τρανζίστορ	49
1.5.2	Quantum Dot Gate Nonvolatile Memory (QDNVM).....	51
1.5.3	Quantum Dot Gate - Quantum Dot Channel Field Effect Transistor (QDCFET)	53
1.5.4	SiO _x -Cladded Si Quantum Dots on Top of SiO ₂ Tunnel Gate Insulator	55
2	Η VHDL-AMS [13] [14] [15].....	57
2.1	Γλώσσες περιγραφής υλικού	57
2.2	Χαρακτηριστικά της VHDL-AMS.....	57
2.2.1	Διαφορικές και αλγεβρικές εξισώσεις.....	57
2.2.2	Η σχεδιαστική μονάδα της Οντότητας	58
2.2.3	Η σχεδιαστική μονάδα της Αρχιτεκτονικής.....	58

2.2.4	Η σχεδιαστική μονάδα του Πακέτου.....	58
2.2.5	Βιβλιοθήκες και μεταγλώττιση του προγράμματος.....	59
2.2.6	Κανόνες και σειρά της ανάλυσης των design units.....	59
2.3	Concurrent Δηλώσεις.....	60
2.3.1	Event-driven simulation.....	60
2.4	Simultaneous Statements	61
2.5	Περιγραφή Συντηρητικών Συστημάτων	61
2.6	VHDL-AMS κύκλος προσομοίωσης.....	61
3	MODELING ME THN VHDL-AMS [16] [17].....	63
3.1	Τύποι μοντέλων ενός MOSFET	64
3.1.1	Μοντέλο τάσης κατωφλίου	64
3.1.1.1	Μοντέλο τάσης κατωφλίου για συσκευής με μακρύ κανάλι.....	65
3.1.1.2	Μοντέλο τάσης κατωφλίου για συσκευή με κοντό κανάλι	65
3.1.2	Μοντέλο επίδρασης Narrow Width	68
3.1.3	Ολοκληρωμένο μοντέλο BSIM3v3 για την τάση κατωφλίου	70
3.1.4	Μοντελοποίηση χαρακτηριστικών I-V.....	70
3.1.4.1	Μοντέλο κινητικότητας φορέων.....	71
3.1.4.2	Μοντέλο πυκνότητας φορέων στο κανάλι	71
3.1.4.3	Υπο κατωφλιακή περιοχή	74
3.1.4.4	Μοντέλο που περιγράφει όλες τις περιοχές λειτουργίας	75
3.1.5	Απλοποιημένο BSIM3v3 μοντέλο	76
3.2	Εξαγωγή παραμέτρων ενός MOSFET [18]	77
3.2.1	Γενική Βελτιστοποίηση.....	77
3.2.2	Τοπική Βελτιστοποίηση.....	77
3.2.2.1	Εξαγωγή του πάχους του οξειδίου την Πύλης.....	77
3.2.2.2	Εξαγωγή της τάσης κατωφλίου χαμηλού πεδίου	78
3.2.2.3	Εξαγωγή της Σχετικής κινητικότητας	79
4	ΑΝΑΠΤΥΞΗ ΚΩΔΙΚΑ	80
4.1	Δοκιμή των μοντέλων για το QDGFET	80
4.2	hAMSter Testbench	82
4.3	Σύνθεση του μοντέλου του QDGFET στο Simplorer	92
4.4	Χαρακτηριστικές μεταφοράς του QDGFET στο Simplorer	96
4.5	Αρχιτεκτονική CMOS Inverter με QDGFET	99
4.5.1	Δημιουργία εξαρτήματος QDGFET CMOS Inverter	102
4.5.2	QDGFET Double Inverter	102
4.6	Three State Memory Cell	104
4.6.1	Διαδικασία Εγγραφής στην SRAM.....	105
4.6.2	Διαδικασία ανάγνωσης από την SRAM.....	107
5	ΣΥΜΠΕΡΑΣΜΑΤΑ – ΠΡΟΤΑΣΕΙΣ.....	109

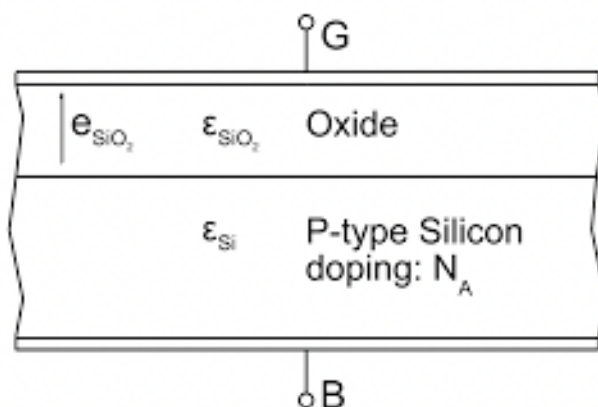
1 Θεωρητικό Υπόβαθρο

1.1 Η δομή MOS και χαρακτηριστικά των Ημιαγωγών

1.1.1 Εισαγωγή

Το Metal-Oxide-Semiconductor (MOS) είναι φτιαγμένο από ένα πολύ λεπτό στρώμα μονωτικού SiO_2 (Διοξειδίου του πυριτίου), πακτωμένο ανάμεσα σε ένα μεταλλικό ηλεκτρόδιο και Si (πυρίτιο). Γενικότερα με αυτήν την τεχνική έχουν φτιαχτεί και άλλες εκδοχές, οι Metal-Insulator-Semiconductor (MIS) όπου ο μονωτής μπορεί να είναι οποιοδήποτε υλικό καθώς επίσης και ο ημιαγωγός δεν χρειάζεται να είναι πυρίτιο.

1.1.2 Τα είδη των ημιαγωγών [1] [2]



Εικόνα 1-1: Δομή ενός MOS. (Πηγή: Wikipedia Commons)

1.1.2.1 Χαρακτηριστικά των ημιαγωγών

Οι ημιαγωγοί που χρησιμοποιούνται σε τέτοιες διατάξεις δεν είναι καθαροί αλλά νοθεύονται και με άλλα στοιχεία για να δώσουν επιπλέον ιδιότητες ανάλογα με την εφαρμογή. Γενικά τα στοιχεία που χρησιμοποιούνται για να φτιαχτεί το κομμάτι του ημιαγωγού μιας MOS συσκευής είναι από μόλις τέσσερις στήλες του περιοδικού πίνακα. Τα στοιχεία αυτά φαίνονται στο παρακάτω πίνακα.

II B	III A	IV A	V A	VI A
	B Boron	C Carbon	N Nitrogen	
	Al Aluminum	Si Silicon	P Phosphorus	S Sulfur
Zn Zinc	Ga Gallium	Ge Germanium	As Arsenic	Se Selenium
Cd Cadmium	In Indium	Sn Tin	Sb Antimony	Te Tellurium
Hg Mercury		Pb Lead	Bi Bismuth	

Πίνακας 1: Οι ημιαγωγοί στον περιοδικό πίνακα

Οι στήλες II B και III A περιέχουν μέταλλα με στοιβάδες σθένους των 2 και 3 ηλεκτρονίων αντίστοιχα, συνδυάζονται με τα στοιχεία από τις στήλες V A και VI A όπου είναι αμέταλλα με αντίστοιχες στοιβάδες σθένους 5 και 6 ηλεκτρονίων. Συνήθως ο συνδυασμός που γίνεται είναι ανάμεσα στις στήλες III-V (για παράδειγμα GaAs, InP) ή από τις στήλες II-VI. Με αυτό το τρόπο έχουμε πάντα οκτώ ηλεκτρόνια διαθέσιμα για να μοιραστούν με τα άτομα.

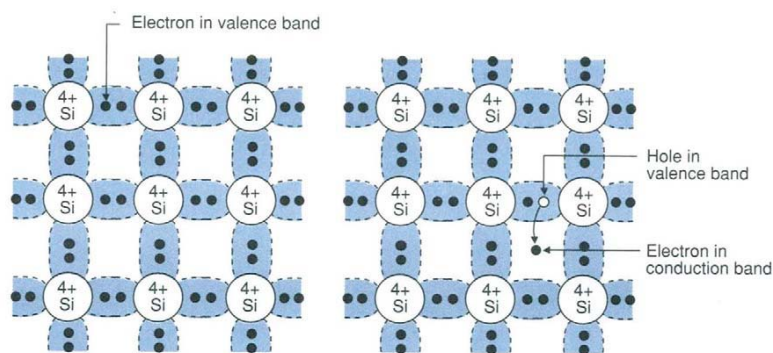
Οι ημιαγωγοί έχουν μερικά χαρακτηριστικά, διαφορετικά από αυτά των αγωγών και των μονωτών, όπου τα κάνουν μοναδικά για την ανάπτυξη χρήσιμων ηλεκτρονικών εξαρτημάτων.

- Έχουν ηλεκτρική αντίσταση ανάμεσα σε 10^{-8} με 10^{-6} $\Omega\cdot\text{m}$ αν κατασκευαστούν σαν αγωγοί και περίπου 10^8 $\Omega\cdot\text{m}$ αν κατασκευαστούν σαν μονωτές
- Με κατάλληλες προσμίξεις μπορεί να αυξηθεί η αγωγιμότητά τους κατά πολύ.
- Οι ημιαγωγοί γίνονται καλύτεροι αγωγοί όσο αυξάνεται η θερμοκρασία
- Μπορούν να διατηρήσουν ηλεκτρικό πεδίο όπως και τα διηλεκτρικά το οποίο είναι και το σημαντικότερο χαρακτηριστικό στα ηλεκτρονικά εξαρτήματα
- Όταν ενώνουμε δύο ημιαγωγούς διαφορετικής νόθευσης δημιουργούνται κάποια ηλεκτρικά και οπτικά φαινόμενα.
- Χρησιμοποιούνται κυρίως μονοκρυσταλλικές δομές αντί για πολυκρυσταλλικές και κατασκευάζονται σε λεπτό φιλμ
- Είναι αρκετά σκληρά και εύθραυστα υλικά
- Είναι ακριβά υλικά αλλά λόγω των μικροσκοπικών διαστάσεων κυκλωμάτων που μπορούν να φτιάξουν και τη μεγάλη σε όγκο παραγωγή, το τελικό προϊόν καταλήγει να είναι αρκετά φθηνό.

1.1.2.2 Η κρυσταλλική δομή ενός ημιαγωγό

Υπάρχουν δύο είδη ημιαγωγών που χρησιμοποιούμε για να φτιάξουμε τα ηλεκτρονικά εξαρτήματα. Είναι οι ενδογενείς και οι εξωγενείς ημιαγωγοί που είναι ουσιαστικά οι καθαροί και αυτοί στους οποίους έχουν εισάγει προσμίξεις από άλλους ημιαγωγούς αντίστοιχα.

Στην εικόνα 1-2 παρακάτω φαίνεται το πλέγμα ενδογενή πυριτίου σε δισδιάστατη απεικόνιση. Ο κάθε από τους 4 δεσμούς του κάθε ατόμου, έχει δύο ηλεκτρόνια σθένους που μοιράζεται με το γειτονικό του. Σε πολύ μικρές θερμοκρασίες όλοι οι δεσμοί έχουν γεμάτοι με ηλεκτρόνια έτσι οι στιβάδες σθένους είναι γεμάτες. Καθώς η θερμοκρασία ανεβαίνει, λόγω της επιπλέον

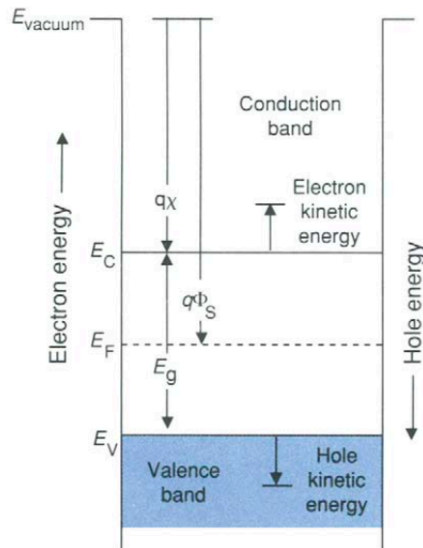


Εικόνα 1-2: Δισδιάστατη απεικόνιση του πλέγματος ενός ενδογενή ημιαγωγού πυριτίου

θερμικής ενέργειας που αποκτάνε τα άτομα, μερικοί από τους δεσμούς σπάνε και τα ηλεκτρόνια περνάνε στην ζώνη αγωγιμότητας, και αφήνουν πίσω τους οπές. Έτσι δημιουργούνται στην ζώνη σθένους χώρος για να έρθει άλλο ηλεκτρόνιο. Για να περιγράψουμε αναλυτικά τη λειτουργία και για να δούμε τι συμβαίνει σε μια τέτοια δομή χρησιμοποιούμε τα διαγράμματα ενεργειακών σταθμών. (Energy Band Diagrams).

1.1.3 Τα διαγράμματα ενεργειακών σταθμών

Τα διαγράμματα ενεργειακών σταθμών απεικονίζουν τις καταστάσεις που μπορεί να έχει ένα ηλεκτρόνιο μέσα σε ένα υλικό ανάλογα με την ενέργεια που έχει. Για παράδειγμα από τους 0 K (απόλυτο μηδέν), το ηλεκτρόνιο μένει στην στοιβάδα σθένους μέχρι μια μέγιστη ενέργεια E_V . Ανάμεσα στην ζώνη σθένους και την ζώνη αγωγιμότητας υπάρχει ένα ενεργειακό κενό όπου τα ηλεκτρόνια δεν μπορούν να υπάρξουν. Πάνω από E_C , τα ηλεκτρόνια κινούνται



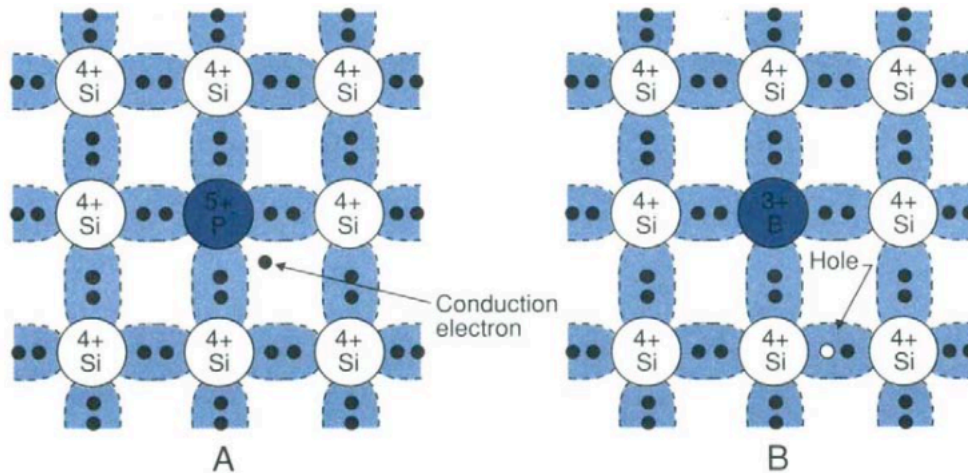
Εικόνα 1-3: Διάγραμμα ενεργειακών σταθμών ενός ημιαγωγού

ελεύθερα και το υλικό είναι αγωγίμο. Όπως είπαμε προηγουμένως, όταν ένα ηλεκτρόνιο φεύγει από την ζώνη σθένους μένει πίσω του μια οπή. Αυτές οι οπές μπορούμε να θεωρήσουμε ότι συμπεριφέρονται όπως και τα ηλεκτρόνια αλλά έχουν ανάποδη κατεύθυνση. Παρόλα αυτά οι οπές δεν κινούνται τόσο γρήγορα όσο τα ηλεκτρόνια γιατί για να δημιουργηθεί μια οπή θα πρέπει πρώτα ένα ηλεκτρόνιο να φύγει από ένα άτομο, να ταξιδέψει μέσα στο πλέγμα το υλικού μέχρι το επόμενο άτομο όπου θα δημιουργήσει μία οπή. Ένα σημαντικό χαρακτηριστικό των ημιαγωγών είναι το E_g που είναι το ενεργειακό κενό μεταξύ των δύο ζωνών. Το πυρίτιο έχει $E_g = 1.12$ eV που είναι αρκετά λίγο για να δημιουργηθεί ατομική διάχυση, δηλαδή τα άτομα να δραπετεύσουν από το υλικό σε ένα γειτονικό.

Μια άλλη ποσότητα ενέργειας που παίζει σημαντικό ρόλο στους ημιαγωγούς είναι η ενέργεια Φέρμι E_F . Σε έναν ενδογενή ημιαγωγό η ενέργεια Φέρμι βρίσκεται ακριβώς στην μέση του ενεργειακού κενού E_g . Αυτό προκύπτει από το θεώρημα του Fermi-Dirac, $F(E)$, που υπολογίζει ότι η πιθανότητα να υπάρχει ηλεκτρόνιο σε αυτό το σημείο είναι ίση με $1/2$. Στους 0 K, για την ζώνη σθένους έχουμε $F(E_V) = 1$ ενώ για τη ζώνη αγωγιμότητας $F(E_C) = 0$. Άρα το E_F βρίσκεται κάπου στην μέση. Μια άλλη σημαντική ενέργεια των ημιαγωγών είναι το έργο εξόδου (Work Function), $q\Phi_s$. Το έργο εξόδου ορίζει την ενέργεια που χρειάζεται ένα ηλεκτρόνιο να μετακινηθεί από την E_F σε ένα άλλο επίπεδο έξω από το στερεό που λέμε επίπεδο κενού. Όταν ένα ηλεκτρόνιο εισέρχεται στον ημιαγωγό από το κενό και φτάνει στο επίπεδο E_C , χάνει ενέργεια $q\chi$ η οποία ονομάζεται συγγένεια ηλεκτρονίων (electron affinity). Οι μονάδες που έχουν τα Φ_s και χ είναι volts, και πολλαπλασιάζοντας με το φορτίο q προκύπτουν Electron-Volt..

1.1.4 Προσμίξεις σε ημιαγωγούς και τύποι ημιαγωγών

Στους εξωγενείς ημιαγωγούς το υλικό δεν είναι καθαρό δηλαδή δεν αποτελείται από μόνο ένα στοιχείο, αλλά νοθεύεται με συγκεκριμένες προσμίξεις όπου του δίνουν τα χαρακτηριστικά που χρειαζόμαστε για να είναι χρήσιμο. Για παράδειγμα, αν στο πυρίτιο προσθέσουμε κάποιο πεντασθενές στοιχείο από τη στήλη VA (π.χ. P, As Sb) αποκτά χαρακτηριστικά τύπου-N. Αυτό σημαίνει ότι υπάρχουν ηλεκτρόνια ελεύθερα. Κάθε άτομο πρόσμιξης πρέπει να περιβάλλεται από πολλά (εκατομμύρια) άτομα Si έτσι ώστε να δημιουργεί δεσμούς μόνο με άτομα Si. Όπως βλέπουμε στην παραπάνω εικόνα, αυτό γίνεται γιατί αν βάλουμε στο πυρίτιο (το οποίο έχει 4 ηλεκτρόνια στην στιβάδα σθένους) άτομο με 5 ηλεκτρόνια στην στιβάδα σθένους, τότε αφού



Εικόνα 1-4:(Α) Πλέγμα Ημιαγωγού τύπου N (Β) Πλέγμα Ημιαγωγού τύπου P

γίνουν όλοι η δεσμοί με τα γειτονικά άτομα, υπάρχει ένα ηλεκτρόνιο ελεύθερο το οποίο περιφέρετε γύρω από το πυρήνα του ατόμου. Για να απελευθερώσουμε το ηλεκτρόνιο (ιονισμός) απαιτείται ενέργεια 0.032eV η οποία είναι συγκρίσιμη με τη θερμική ενέργεια σε θερμοκρασία δωματίου $3kT \approx 0.07eV$. Δηλαδή αυτό το ηλεκτρόνιο χρειάζεται πολύ λίγη ενέργεια, που την λαμβάνει από την θερμότητα, για να περάσει στην ζώνη αγωγιμότητας, και έτσι το άτομο που εισάγουμε χάνει ένα ηλεκτρόνιο και αποκτά θετικό φορτίο. Η εξωγενής συγκέντρωση των ηλεκτρονίων στην ζώνη αγωγιμότητας δίνετε από τον τύπο:

$$n_{ex} = N_d * \exp \left[-\frac{E_c - E_d}{kT} \right] \text{electrons/cm}^3$$

Εξίσωση 1-1

όπου N_d η συγκέντρωση νόθευσης, k είναι η σταθερά Boltzman και T η θερμοκρασία σε Κέλβιν.

Για να δημιουργηθεί ένας ημιαγωγός τύπου P χρησιμοποιούνται σαν δότες τρισθενή στοιχεία από την στήλη IIIA όπου έχουν τρία ηλεκτρόνια. Επειδή αυτά τα στοιχεία πρέπει να πάρουν άλλο ένα ηλεκτρόνιο για να ολοκληρωθεί ο ομοιοπολικός δεσμός, παίρνουν ένα ηλεκτρόνιο από το πυρίτιο και αφήνει πίσω του μια οπή (εικόνα 1-4A) . Ο τέταρτος δεσμός έχει ένα ηλεκτρόνιο λιγότερο, που ισοδυναμεί με τη δημιουργία οπής. Ένα γειτονικό ηλεκτρόνιο μπορεί να μεταβεί στη θέση της οπής μέσω του φαινομένου σήραγγας. Με τον τρόπο αυτό η οπή μετακινείται μέσα στον κρύσταλλο γύρω από το ιόν, Για αυτό το λόγο αυτά τα στοιχεία λέγονται αποδέκτες, ενώ στην περίπτωση του τύπου N τα στοιχεία που εισάγουμε στο πυρίτιο λέγονται δότες. Τα άτομα που εισάγουμε στην περίπτωση του τύπου P αποκτάνε αρνητικό φορτίο 1-.

Για να απελευθερωθεί η οπή από το ιόν απαιτείται ενέργεια περίπου 0.05eV που είναι συγκρίσιμη με την ενέργεια σε θερμοκρασία δωματίου. Ο τύπος για την συγκέντρωση οπών είναι παρόμοιος με αυτή των ηλεκτρονίων και φαίνεται παρακάτω:

$$n_{ex} = N_d * \exp\left[-\frac{E_a - E_v}{kT}\right] \text{holes/cm}^3$$

Εξίσωση 1-2

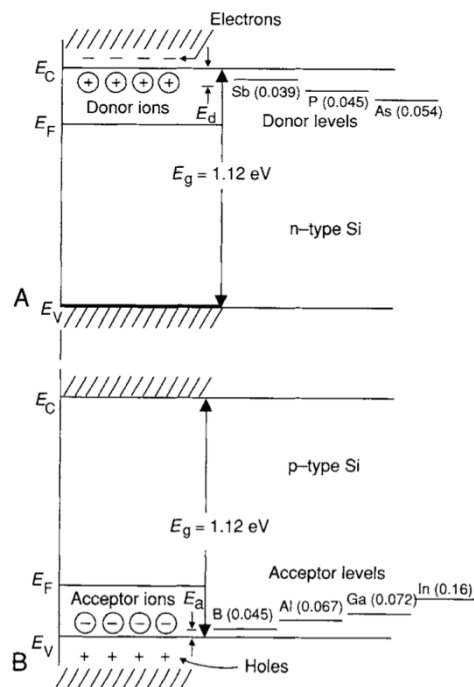
όπου E_a είναι το επίπεδο ενέργειας για το στοιχείο του δέκτη.

Η νόθευση του πυριτίου έχει αλλάξει και το ενεργειακό διάγραμμα όπως φαίνεται και στην παρακάτω (εικόνα 1-5). Το ενεργειακό κενό που υπήρχε τώρα είναι προσβάσιμο από το ηλεκτρόνια του δότη και έτσι το επίπεδο Φέρμι δεν είναι πια στην μέση.

1.1.4.1 Ενεργειακά Διάγραμμα Ημιαγωγών τύπου N και P

Στους ημιαγωγούς τύπου N, το E_F μετακινείται προς το E_C επειδή τώρα η πιθανότητα να υπάρξει ηλεκτρόνιο είναι μεγαλύτερη προς τις μεγαλύτερες ενεργειακές καταστάσεις. Άρα η ενέργεια για την οποία έχουμε $F(E) = \frac{1}{2}$ είναι ανάλογη με τον αριθμό των ιονισμένων δοτών. Για τον ίδιο λόγο σε ημιαγωγό τύπου P, το E_F πέφτει προς το E_v και είναι ανάλογο με τον αριθμό των ιονισμένων αποδεκτών.

Συνοψίζοντας, η ζώνη αγωγιμότητας και η ζώνη σθένους αποκτούν φορτία από δύο πηγές. Λόγω της θερμικής ενέργειας τα άτομα στον κρύσταλλο βρίσκονται σε διαρκή ταλάντωση, και έτσι οι δεσμοί των ατόμων παραμορφώνονται με αποτέλεσμα να υπάρχει πιθανότητα να σπάσουν. Έτσι ελευθερώνεται ένα ηλεκτρόνιο που μεταβαίνει από την ζώνη σθένους στην ζώνη αγωγιμότητας αφήνοντας πίσω και μία οπή. Η δεύτερη πηγή είναι τα ιονισμένα άτομα δεκτών ή αποδεκτών που εισάγουμε που επίσης παράγουν ηλεκτρόνια ή οπές.



Εικόνα 1-5: Διάγραμμα ενεργειακών σταθμών (A) Ημιαγωγός Τύπου N (B) Ημιαγωγός Τύπου P

1.1.4.2 Κινητικότητα ηλεκτρονίων μέσα σε ημιαγωγό

Οι ημιαγωγοί όμως θα ήταν άχρηστοι αν δεν μπορούσαν να μεταφέρουν ρεύμα. Ας υποθέσουμε ότι έχουμε ένα ημιαγωγό πυριτίου και στον οποίο υπάρχουν ηλεκτρόνια στην ζώνη αγωγιμότητας και οπές στην ζώνη σθένους. Εφαρμόζουμε ένα ηλεκτρικό πεδίο στα άκρα του ημιαγωγού όπως φαίνεται στην παρακάτω (εικόνα 1-7). Τα ηλεκτρόνια έλκονται από το θετικό ηλεκτρόδιο και ρεύουν ανάμεσα στα άτομα του ημιαγωγού ενώ οι οπές ανταλλάσσουν θέσεις με τα ηλεκτρόνια στην ζώνη σθένους και κινούνται προς το αρνητικό ηλεκτρόδιο. Άρα μπορούμε να πούμε ότι πάνω σε ένα άξονα κατά μήκος το ημιαγωγού, υπάρχουν ηλεκτρόνια που κινούνται προς το θετικό ηλεκτρόδιο με ταχύτητα v_n και οπές που κινούνται αντίθετα με ταχύτητα v_p . Ο τύπος για την πυκνότητα αυτού του ρεύματος είναι:

$$J = nqv_n + pq_p v_p$$

Εξίσωση 1-3

όπου q_p είναι το φορτίο της οπής. Επειδή τα ρεύματα τελικά προστίθενται στην ίδια κατεύθυνση λόγω ότι τα φορτία έχουν αντίθετο πρόσημο και αντίθετη φορά καταλήγουμε να έχουμε θετική φορά του ρεύματος. Ο παραπάνω τύπος επίσης γίνεται:

$$J = \{nq\mu_n + pq_p\mu_p\}E$$

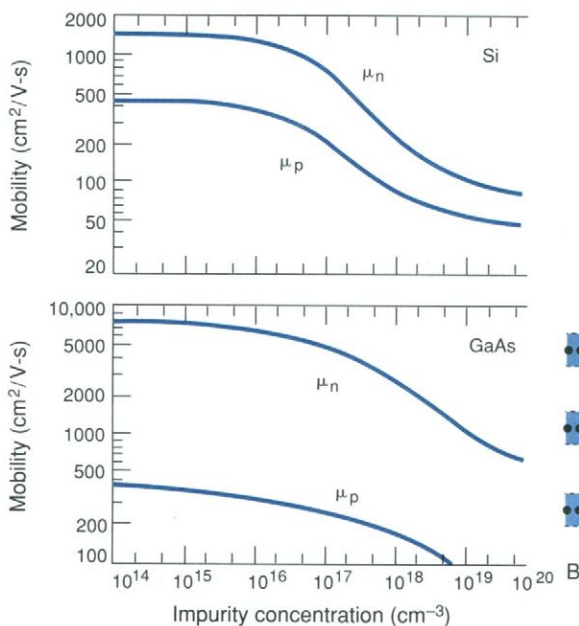
Εξίσωση 1-4

όπου E είναι το ηλεκτρικό πεδίο. Επίσης η αγωγιμότητα σ δίνεται από τον τύπο:

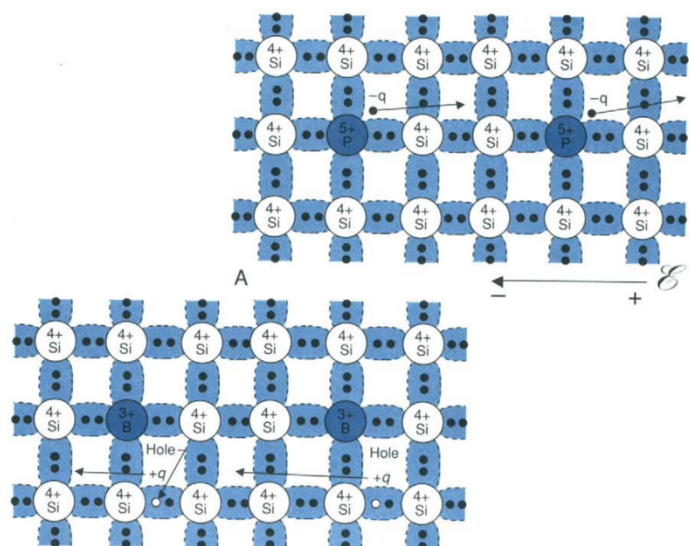
$$\sigma = nq\mu_n + pq_p\mu_p = |q|(n\mu_n + p\mu_p)$$

Εξίσωση 1-5

όπου $|q| = |q_p|$. Υπάρχουν δύο διαφορετικές κινητικότητες, μ_n και μ_p για τα ηλεκτρόνια και τις οπές αντίστοιχα. Επειδή η ταχύτητα των ηλεκτρονίων είναι μεγαλύτερη από αυτή των οπών, έχουν αναπτυχθεί περισσότερες ηλεκτρονικές διατάξεις τύπου N που ελέγχονται από τα κίνηση των ηλεκτρονίων.

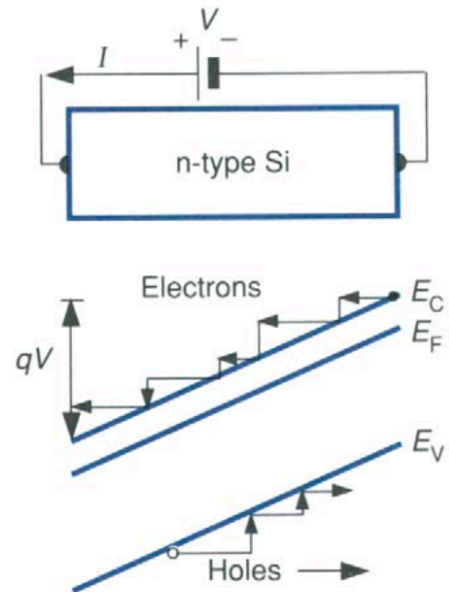


Εικόνα 1-6: Κινητικότητα ηλεκτρονίων και οπών σε Πυρίτιο(Si) και Αρσενικούχο Γάλλιο (GaAs)



Εικόνα 1-7: Κινητικότητα φορέων με την εφαρμογή ηλεκτρικού πεδίο σε (A) Ημιαγωγό τύπου N (B) Ημιαγωγό τύπου P

Για παράδειγμα, στην διπλανή εικόνα 1-8 φαίνεται το ενεργειακό διάγραμμα ενός ηλεκτρονίου σε έναν ημιαγωγό, όταν του έχουμε εφαρμόσει ηλεκτρικό πεδίο. Το ηλεκτρικό πεδίο όπως βλέπουμε παραμορφώνει τις ζώνες. Τα ηλεκτρόνια ρέουν προς το θετικό ηλεκτρόδιο και συγκρούονται με άλλα άτομα με αποτέλεσμα να μειώνεται η ενέργειά τους. Αντίθετα, οι οπές μετακινούνται προς τα πάνω γιατί έτσι μειώνεται η ενέργειά τους. Όπως θα δούμε, οι ηλεκτρονικές εξαρτούνται από αυτές τις κινήσεις των φορέων που γίνονται από εσωτερικά πεδία που δημιουργούνται σε επαφές δύο ημιαγωγών.

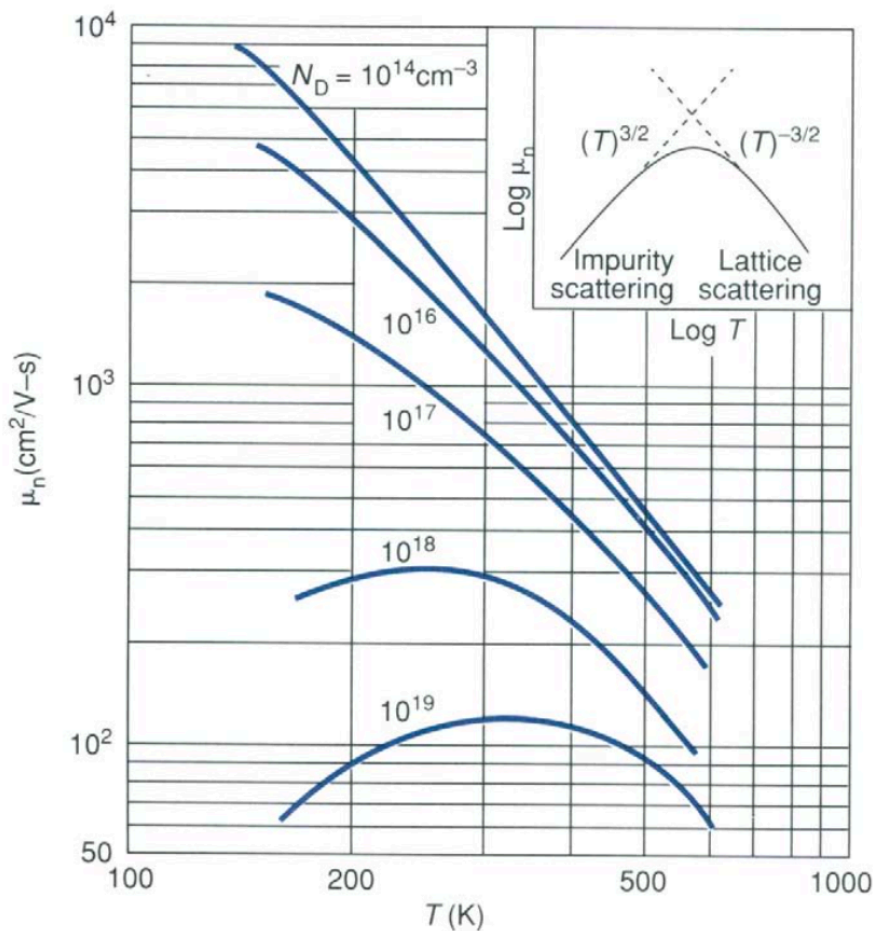


Εικόνα 1-8: Ενεργειακό διάγραμμα ενός ηλεκτρονίου μέσα σε ηλεκτρικό πεδίο

1.1.4.3 Η επίδραση της θερμοκρασίας στους ημιαγωγούς

Η θερμοκρασία επηρεάζει σημαντικά την αγωγιμότητα ενός ημιαγωγού γιατί αλλάζει την συγκέντρωση φορέων και την κινητικότητα. Όπως και στα μέταλλα, τα ηλεκτρόνια και οι οπές υφίσταται σκέδαση από την θερμική ταλάντωση και από την ανομοιογένεια του υλικού τα οποία αυξάνουν την ηλεκτρική αντίσταση. Η θερμική ταλάντωση είναι ανάλογη της θερμοκρασίας κατά $T^{-3/2}$ ενώ από την ανομοιογένεια κατά $T^{3/2}$. Επίσης η κινητικότητα επηρεάζεται και από τα επίπεδα νόθευσης.

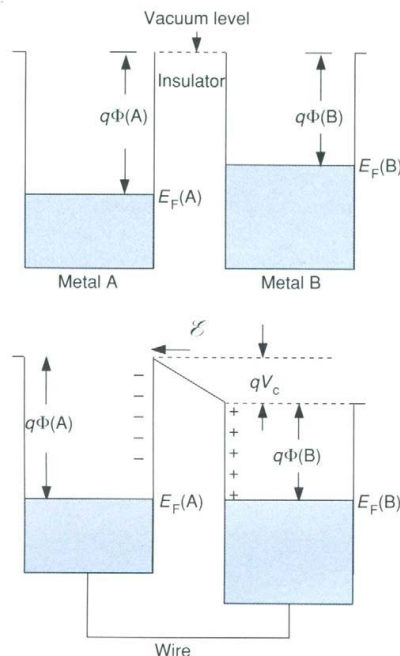
Στις υψηλές θερμοκρασίες η ενδογενής αγωγιμότητα είναι μεγαλύτερη. Η δημιουργία φορέων είναι μεγαλύτερη από την θερμική ταλάντωση παρά από λόγω νόθευσης σε έναν εξωγενή ημιαγωγό. Σε μικρές θερμοκρασίες οι ιονισμένοι αποδέκτες και δότες κρατούν σχεδόν σταθερή τη συγκέντρωση φορέων σε ένα μεγάλο εύρος το οποίο ονομάζουμε περιοχή εξάντλησης. Σε ακόμα μικρότερες θερμοκρασίες τα άτομα δεν ιονίζονται και η αγωγιμότητα πέφτει κατά πολύ. Στο πυρίτιο η αγωγιμότητα παραμένει σταθερή κοντά σε θερμοκρασία δωματίου για τα επίπεδα νόθευσης που χρησιμοποιούνται σε ηλεκτρονικά εξαρτήματα. Όμως το γερμάνιο συμπεριφέρεται σαν ενδογενής ημιαγωγός σε θερμοκρασία δωματίου στον όποιον μειώνεται σημαντικά η αγωγιμότητα του.



Εικόνα 1-9: Κινητικότητα Ηλεκτρονίων σε Πυρίτιο ανάλογα με την θερμοκρασία

1.1.5 Οι ενεργειακές στάθμες δύο μετάλλων σε επαφή

Για να δημιουργηθεί ένα ηλεκτρονικό εξάρτημα δεν αρκεί μόνο ένας ημιαγωγός (νοθευμένος ή μη). Χρησιμοποιούνται διάφορα υλικά τα οποία ενώνονται μεταξύ τους όπως ημιαγωγοί με άλλους ημιαγωγούς, μονωτές και μέταλλα. Για να περιγράψουμε τι συμβαίνει σε μια τέτοια συσκευή, αρχικά θα δούμε τι συμβαίνει όταν δύο μέταλλα έρχονται σε επαφή. Έστω ότι δύο μέταλλα A και B, με έργο εξόδου $E_F(A)$ και $E_F(B)$ πακτώνουν έναν μονωτή (π.χ. κενό). Τα διαγράμματα ενέργειας και το αντίστοιχο έργο εξόδου $q\phi(A)$ και $q\phi(B)$ για το κάθε μέταλλο φαίνονται στη παρακάτω εικόνα και υποθέτουμε ότι $E_F(A) < E_F(B)$ και $q\phi(A) > q\phi(B)$. Ενώνουμε τα δύο μέταλλα με ένα καλώδιο για να δημιουργήσουμε ένα διάδρομο για τα ηλεκτρόνια να ρεύσουν. Όταν έρθουν σε επαφή δύο μέταλλα οι ενέργειες Φέρμι πρέπει να εξισορροπούνται. Αυτό επιτυγχάνεται στην περίπτωση μας, μέσω του αγωγού που συνδέσαμε, τα ηλεκτρόνια ρέουν από το μέταλλο B στο (χαμηλότερου επιπέδου Φέρμι) μέταλλο A. Αυτό έχει σαν αποτέλεσμα το A, αφού δέχτηκε ηλεκτρόνια να γίνει αρνητικά φορτισμένο ενώ το B, αφού έδωσε ηλεκτρόνια, θετικά φορτισμένο. Έτσι δημιουργείται ένα ηλεκτρικό δυναμικό ανάμεσα στα δύο μέταλλα που λέγεται δυναμικό επαφής qV_C , το οποίο είναι ίσο με την διαφορά των επιπέδων Φέρμι των μετάλλων, ή του έργου εξόδου.



Εικόνα 1-10: Εξισορρόπηση ενεργειακών σταθμών δύο μετάλλων

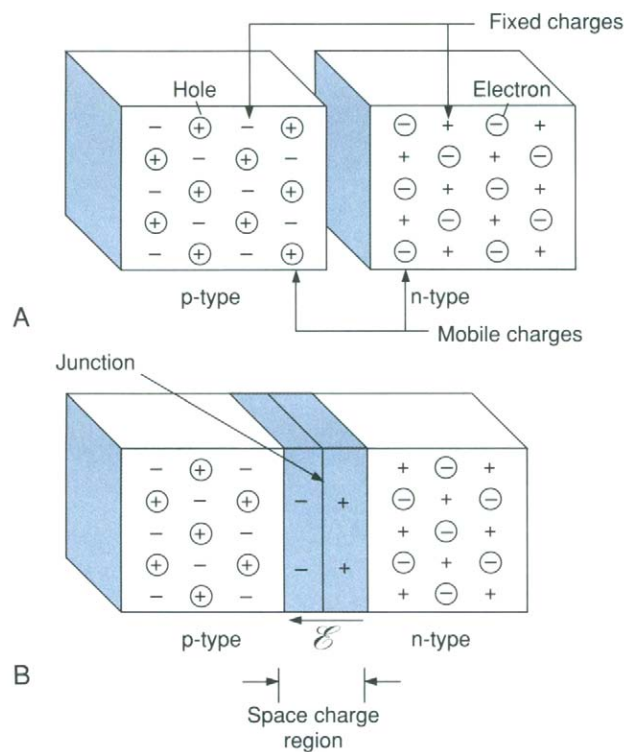
$$qV_C = E_F(B) - E_F(A), qV_C = q\phi(A) - q\phi(B)$$

Εξίσωση 1-6

Το ηλεκτρικό πεδίο δημιουργείται ανάμεσα στα δύο μέταλλα κοντά στο μονωτικό υλικό παρατηρείται και στο διάγραμμα ενέργειας, όπου έχει παραμορφωθεί.

1.1.6 Ενεργειακή στάθμη επαφών PN

Αναπτύσσοντας περισσότερο, θα αναλύσουμε τώρα τι συμβαίνει όταν δύο ημιαγωγοί τύπου N και P έρθουν σε επαφή. Αρχικά, στον ημιαγωγό τύπου N, υπάρχουν ελεύθερα ηλεκτρόνια τα οποία κινούνται ελεύθερα μέσα στο υλικό, ανάμεσα στα ακίνητα θετικά ιονισμένα άτομα δότες. Τα ελεύθερα ηλεκτρόνια είναι ίδια σε αριθμό με τα θετικά άτομα και έτσι το φορτίο παραμένει ουδέτερο. Στο ημιαγωγό τύπου P υπάρχει μια παρόμοια κατάσταση. Οι ελεύθερες θετικά φορτισμένες οπές είναι ίσες με τα αρνητικά ακίνητα ιονισμένα άτομα και το υλικό είναι ουδέτερο. Όταν οι δύο ημιαγωγοί έρθουν σε επαφή, η μεγάλη συγκέντρωση οπών στην περιοχή p προκαλεί διάχυση οπών προς την περιοχή n και επανασύνδεση με ηλεκτρόνια. Παρόμοια, η μεγάλη συγκέντρωση ηλεκτρονίων στην περιοχή n προκαλεί διάχυση ηλεκτρονίων προς την

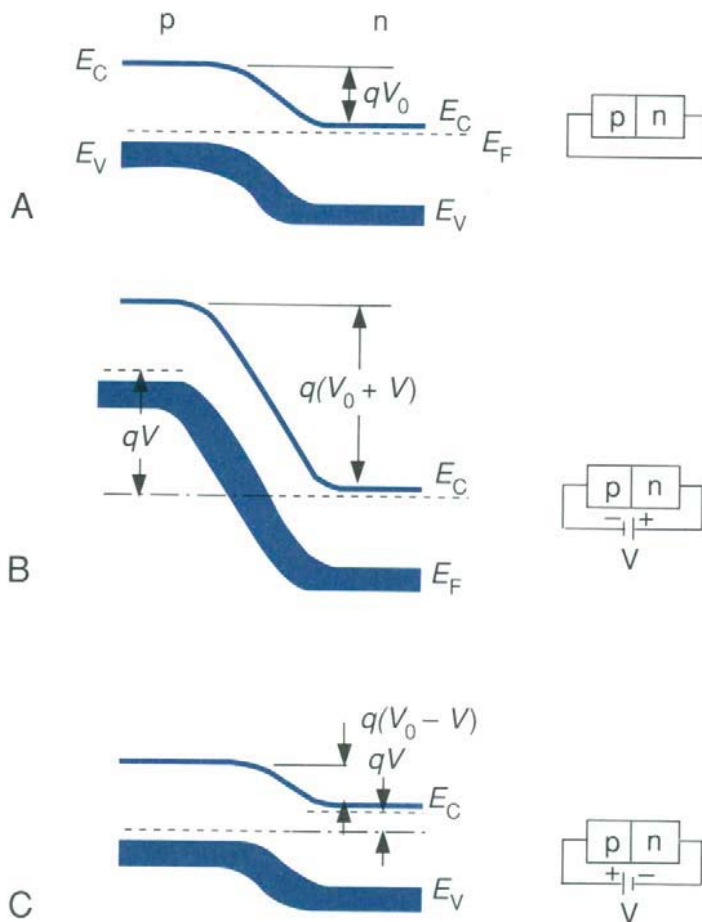


Εικόνα 1-11: Κατανομή των φορτίων σε μια επαφή PN

περιοχή p και επανασύνδεση με οπές. Η επανασύνδεση σημαίνει ότι τα ηλεκτρόνια που βρίσκονται στην ζώνη αγωγιμότητας συνδέονται με τις οπές στην ζώνη σθένους. Η δότες και η αποδέκτες δεν κινούνται. Έτσι δημιουργείται μια περιοχή που λέγεται περιοχή απογύμνωσης επειδή απογυμνώνεται από φορείς αγωγιμότητας. Οπές που μεταβαίνουν από την περιοχή p στην περιοχή n, αφήνουν πίσω αρνητικά ιόντα ενώ τα ηλεκτρόνια που μεταβαίνουν από την περιοχή n στην περιοχή p, αφήνουν πίσω θετικά ιόντα. Δημιουργείται έτσι μια περιοχή με φορτία γύρω από την ένωση, και ένα ηλεκτρικό πεδίο το οποίο δεν αφήνει να περάσουν άλλοι φορείς. Για να κατανοήσουμε καλύτερα το φαινόμενο θα πρέπει να φτιάξουμε το ενεργειακό διάγραμμα ακολουθώντας τους εξής κανόνες:

1. Το επίπεδο Φέρμι θα πρέπει να είναι στο ίδιο επίπεδο στο σημείο που γίνεται η επαφή και σε όλα τα υλικά εφόσον δεν υπάρχει εξωτερικό ηλεκτρικό φορτίο.
2. Σε απόσταση από την επαφή οι ημιαγωγοί δεν έχουν αλλάξει δομή και έτσι το διάγραμμα πρέπει να είναι το ίδιο με αυτό ενός ομογενούς υλικού, δηλαδή το επίπεδο Φέρμι, το έργο εξόδου και το ενεργειακό κενό παραμένει το ίδιο.
3. Στην επαφή των ημιαγωγών υπάρχει μόνο καμπύλωση των ζωνών.

4. Δημιουργείται ένα φορτίο qV_0 , λόγω του δυναμικού V_0 στην επαφή που ισούται με την διαφορά του επίπεδου Φέρμι των δύο ημιαγωγών $E_F(n) - E_F(p)$, ή των έργων εξόδου $q\phi(p) - q\phi(n)$.
5. Αν εφαρμόσουμε εξωτερικό ηλεκτρικό πεδίο, αυτό θα αλλάξει την θέση του επίπεδου Φέρμι



Εικόνα 1-12: Ενεργειακές στάθμες επαφών PN.

(A) Χωρίς εφαρμογή κάποιου ηλεκτρικού πεδίου στα άκρα

(B) Με εφαρμογή ανάστροφης πολικότητας ηλεκτρικό πεδίο

(C) Με εφαρμογή ορθής πολικότητας ηλεκτρικό πεδίο

Στην παραπάνω εικόνα 1-12A φαίνεται το ενεργειακό διάγραμμα της επαφής PN με το αρχικό δυναμικό μεταξύ των ημιαγωγών να είναι V_0 . Η ζώνη σθένους του ενός ημιαγωγού θα πρέπει να ενώνεται ομαλά με την ζώνη σθένους του δεύτερου ημιαγωγού σχηματίζοντας ένα σκαλί. Στην εικόνα 1-12B δείχνει τι γίνεται όταν εφαρμόσουμε ανάστροφη πολικότητας τάση στα άκρα μιας επαφής PN. Δηλαδή εφαρμόζοντας το αρνητικό πόλο μιας μπαταρίας στην P μεριά και το θετικό πόλο στην N μεριά. Οι περισσότεροι φορείς απομακρύνονται από την επαφή, απογυμνώνοντας και άλλο την περιοχή. Έτσι προκύπτει ένα ενεργειακό διάγραμμα με μεγαλύτερη αλλαγή στις ενέργειες για τις ζώνες σθένους και απογύμνωσης, που δηλώνει ότι υπάρχει μεγαλύτερο ηλεκτρικό πεδίο. Επίσης μακριά από την επαφή τα επίπεδα Φέρμι δεν είναι ίδια που σημαίνει ότι δεν είναι πια σε ισορροπία και δεν διαρρέεται από κάποιο ρεύμα η επαφή.

Στην εικόνα 1-12C, εφαρμόζουμε ορθή πόλωση στην επαφή PN, δηλαδή ο θετικός πόλος μιας μπαταρίας στην P μεριά και ο αρνητικός πόλος στην N μεριά. Το δυναμικό άλμα, το ηλεκτρικό πεδίο και το πλάτος της απογύμνωσης μειώνονται σημαντικά. Οι οπές που εγγέονται στην περιοχή n επανασυνδέονται με ηλεκτρόνια και χάνονται. Τα ηλεκτρόνια που εγγέονται στην περιοχή p επανασυνδέονται με οπές και χάνονται. Τα ηλεκτρόνια που χάνονται από την επανασύνδεση αναπληρώνονται από τον αρνητικό πόλο της πηγής. Όμοια ο θετικός πόλος της πηγής αναπληρώνει τις οπές. Όσο μεγαλύτερη είναι η ορθή πόλωση, τόσο μεγαλύτερο είναι το

ρεύμα. Αυτός ο τύπος επαφής PN είναι μια δίοδος ανόρθωσης, η οποία αφήνει το ρεύμα να περάσει μόνο για θετική τάση και το αποκόπτει κατά την αρνητική.

1.1.7 Οι ενεργειακές στάθμες της δομής MOS [3] [4] [5]

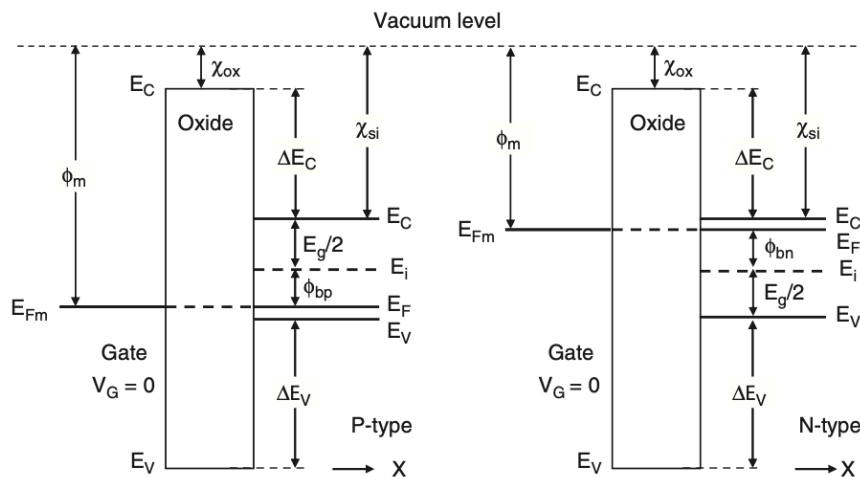
1.1.7.1 Εισαγωγή

Η δομή MOS απαρτίζεται από έναν ημιαγωγό, καλυμμένος από πάνω με ένα μονωτικό και στο οποίο τοποθετούμε ένα αγώγιμο ηλεκτρόδιο. Όπως αναφέραμε το MOS σημαίνει Metal - Oxide - Semiconductor το οποίο έχει μείνει από τα αρχικά στάδια της τεχνολογίας που χρησιμοποιούσαν αλουμίνιο, διοξείδιο του πυριτίου (ή οξείδιο), και πυρίτιο για να φτιάξουν ένα πυκνωτή μεταξύ την πύλης και του απαγωγού ενός MOS Field-Effect-Transistor, MOSFET. Τώρα έχει αντικατασταθεί το αλουμίνιο για την επαφή στην πύλη, επειδή χρειαζόταν να αντέχει μεγάλες θερμοκρασίες, χρησιμοποιείται μεγάλης νόθευσης τύπου N ή τύπου P, πολυπυρίτιο. Η δομή MOS κυρίως χρησιμοποιείται για να μελετήσουμε τις ιδιότητες των ημιαγωγών και των μονωτών για τα MOSFET.

1.1.7.2 Ενεργειακές στάθμες σε ένα MOS

Αρχικά υποθέτουμε ότι έχουμε ιδανικά στοιχεία και ότι το διηλεκτρικό δεν διαρρέεται από ρεύμα, έχουμε μηδενικό φορτίο μέσα στο σώμα του διηλεκτρικού και στις επαφές, και δεν υπάρχει δυναμικό ανάμεσα στην πύλη και τον ημιαγωγό. Στην παρακάτω εικόνα 1-13 φαίνεται το ενεργειακό διάγραμμα της δομής.

Και στα δύο διαγράμματα οι φορείς πλειονότητας είναι τα ιονισμένα άτομα του υλικού και τα



Εικόνα 1-13: Ενεργειακά διαγράμματα σε nMOS και pMOS δομές χωρίς να εξισορροπηθούν τα επίπεδα Φέρμι.

ενεργειακά επίπεδα του πυριτίου είναι επίπεδα κοντά και μακριά από την επαφή. Έτσι λέμε ότι έχουμε κατάσταση επίπεδης ζώνης. Το $q\phi_m$ είναι το έργο εξόδου του αγωγού της πύλης. Το έργο εξόδου δεν είναι ίδιο για ημιαγωγούς τύπου N και ημιαγωγούς τύπου P. Τα $q\chi_{si}$ και $q\chi_{ox}$ είναι η ηλεκτρονική συγγένεια του πυριτίου και του οξειδίου αντίστοιχα. Σε κάθε σημείο στον ημιαγωγό το δυναμικό Φέρμι είναι:

$$\phi_b = \frac{E_F - E_i}{q}, V$$

Εξίσωση 1-7

Το έργο εξόδου του ημιαγωγού είναι:

$$\phi_{si} = \chi_{si} + \left(\frac{E_g}{2q} - \phi_b \right), V$$

Εξίσωση 1-8

Και η διαφορά του έργου εξόδου (δυναμικό επαφής) είναι:

$$\phi_{ms} = \phi_m - \phi_{si}$$

Εξίσωση 1-9

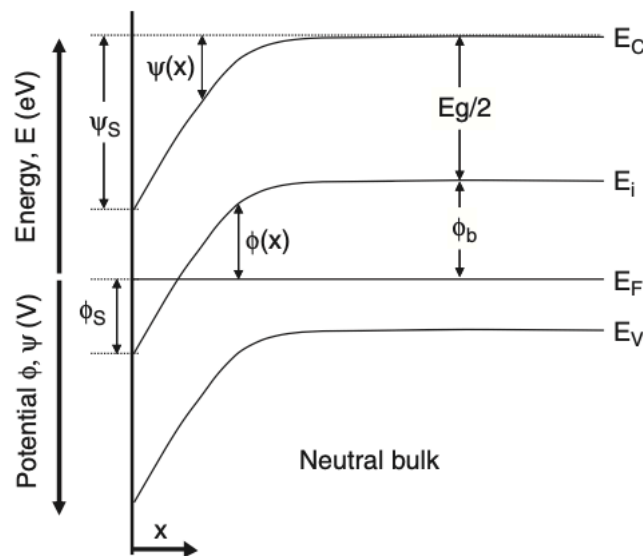
Για μηδενικό δυναμικό επαφής ισχύει όταν $\phi_m = \phi_{si}$ και $\phi_{ms} = 0$. Στο διάγραμμα τα ΔE_C και ΔE_V είναι η μετατόπιση των ζωνών αγωγιμότητας και σθένους αντίστοιχα, μεταξύ του ημιαγωγού και του διηλεκτρικού.

1.1.7.3 MOS σε κατάσταση ισορροπίας

Σε ένα πραγματικό MOS ωστόσο, $\phi_{ms} \neq 0$ και θα υπάρχει διαφορά των Φέρμι δυναμικών μεταξύ της επιφάνειας και του σώματος του ημιαγωγού όπως φαίνεται στην παρακάτω εικόνα. Το δυναμικό στην επιφάνεια διακρίνεται με το “s” ενώ του σώματος με “b”. Στην περιοχή κοντά στην επαφή όπου αλλάζει το δυναμικό αυτό υπολογίζεται από το τύπο:

$$\Psi(x) = \phi(x) - \phi_b, V$$

Εξίσωση 1-10

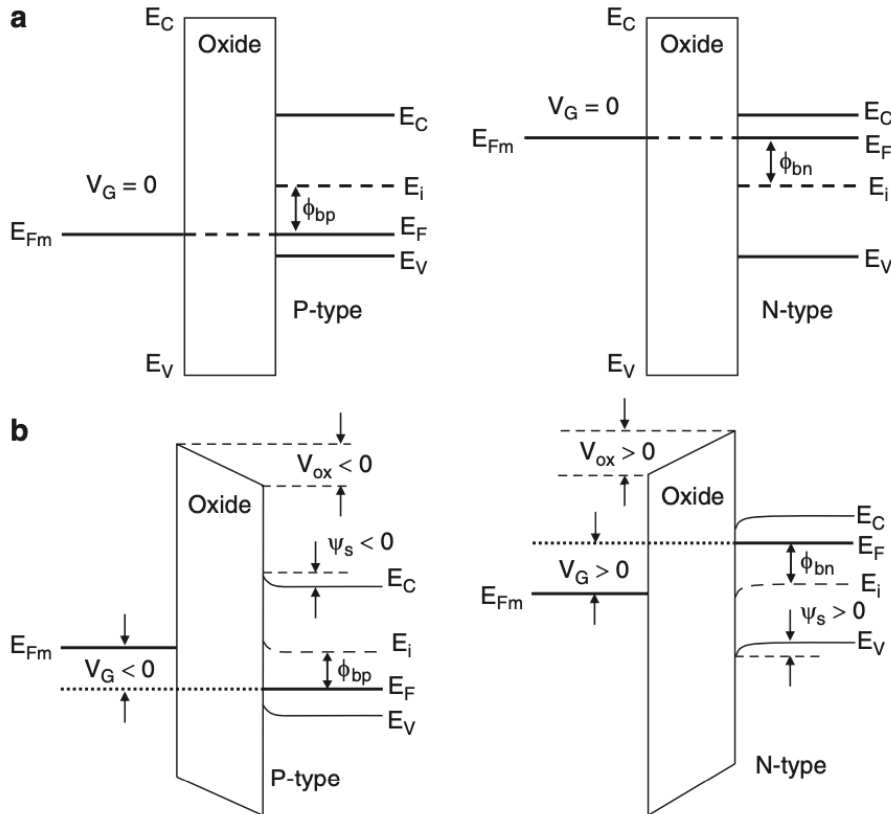


Εικόνα 1-14: Καμπύλωση του ενεργειακού διαγράμματος για εξισορρόπηση επιπέδων Φέρμι

Το δυναμικό Φέρμι είναι θετικό όταν η στάθμη Φέρμι είναι πάνω από ενδογενή στάθμη και αρνητικό όταν είναι κάτω από την ενδογενή στάθμη. Μέσα στο σώμα, το δυναμικό Φέρμι για P τύπου ημιαγωγό είναι $\phi_{bp} < 0$ και για τύπου N $\phi_{bp} > 0$ ενώ στην επιφάνεια είναι Φ_s . Επίσης, το δυναμικό επιφάνειας $\Psi_s = \phi_s - \phi_b$ είναι αρνητικό όταν η ζώνη καμπυλώνεται προς τα πάνω, θετικό όταν καμπυλώνεται προς τα κάτω και μηδενικό όταν δεν καμπυλώνεται. Όταν εφαρμόσουμε τάση στην πύλη ως προς το σώμα, συγκεντρώνεται φορτίο στην διεπαφή πύλη-μονωτή. Για ένα μέταλλο, το φορτίο αυτό σημαίνει συγκέντρωση ή απογύμνωση ηλεκτρονίων, βάση την πολικότητα της πηγής. Επειδή η συγκέντρωση ηλεκτρονίων είναι πολύ μεγάλη στα μέταλλα ($\sim 10^{23}$ electrons/cm³), η περιοχή απογύμνωσης θεωρείται απειροελάχιστα μικρή και θεωρούμε ότι τα ηλεκτρόνια εξακολουθούν να υπάρχουν στην περιοχή επαφής μετάλλου-ημιαγωγού. Αντίθετα, στην περίπτωση όπου έχουμε πολυπρίτιο στην πύλη, ακόμα και όταν νοθευτεί, οι συγκέντρωση φορέων στο πολυπρίτιο δεν ξεπερνάει τα 10^{20} - 10^{21} electrons/cm³, με αποτέλεσμα να έχουμε μια σημαντικά μεγάλη περιοχή απογύμνωσης. Για να διατηρηθεί το ουδέτερο φορτίο στην επαφή, θα πρέπει το φορτίο στην πύλη Q_m να εξισορροπείται με ένα αντίθετης πολικότητας φορτίο στον ημιαγωγό Q_s .

$$Q_s = -Q_m, C/cm^2$$

Στην εικόνα 1-15 φαίνεται τα διαγράμματα ενέργειας ενός τύπου P και τύπου N ημιαγωγού για διαφορετικές πολώσεις. Στα διαγράμματα που η επιφάνεια της επαφής δεν είναι καμπυλωμένη σημαίνει ότι η συγκέντρωση οπών περίπου ισούται με το πλήθος των αποδεκτών για τύπου P $p_s \approx N_A$, και η συγκέντρωση ηλεκτρονίων περίπου ισούται με το πλήθος των δοτών για τύπου



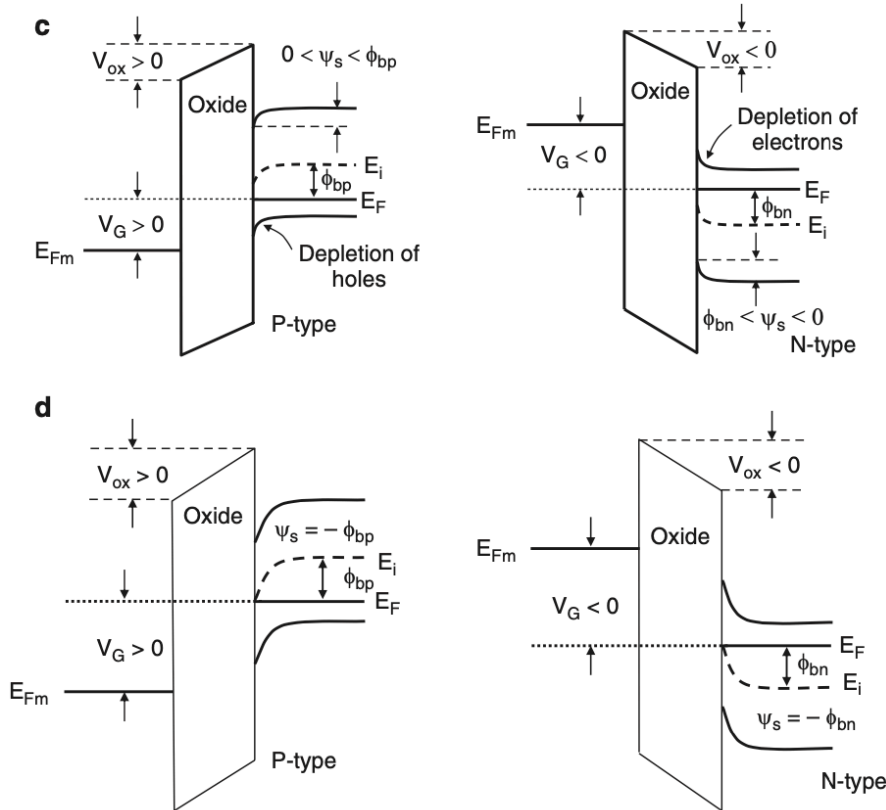
Εικόνα 1-15: Ενερειακό διάγραμμα ενός MOS σε κατάσταση ισορροπίας

$N n_s \approx N_D$, άρα $Q_s = 0$.

Συνεπώς αν η συγκέντρωση ηλεκτρονίων και οπών στην διεπαφή (n_s και p_s) είναι διαφορετική με αυτή του υπόλοιπου σώματος n_b και p_b , τότε υπάρχει καμπυλότητα κοντά στην διεπαφή και η κατεύθυνση της εξαρτάται από την πολικότητα. Η στάθμη Φέρμι μένει επίπεδη σε όλο το μήκος του πυρίτιο γιατί δεν υπάρχει κάποιο μεγάλο ρεύμα.

1.1.7.4 Κατάσταση συσσώρευσης(Accumulation)

Η κατάσταση συσσώρευσης σε μια δομή MOS περιγράφει μια αύξηση της συγκέντρωσης φορέων πλειονότητας στην επιφάνεια του ημιαγωγού. Αυτό γίνεται εφαρμόζοντας μια τάση ικανή να ελκύσει τους φορείς πλειονότητας στην επιφάνεια. Για ένα ημιαγωγό τύπου P αυτό κάνει τις στάθμες να ανέβουν προς τα πάνω ενώ σε έναν τύπου N προς τα κάτω. Το ποσοστό της κάμψης αυτής είναι το δυναμικό της επιφάνειας $\Psi(x)$. Η τάση στην πύλη χωρίζεται σε αυτή που έχει το οξειδίο V_{ox} , και σε αυτή ανάμεσα στην επιφάνεια και στο σώμα του πυριτίου.



Εικόνα 1-16:Ενεργειακό διάγραμμα ενός MOS σε κατάσταση συσσώρευσης

$$V_G = V_{ox} + \Psi_s, V$$

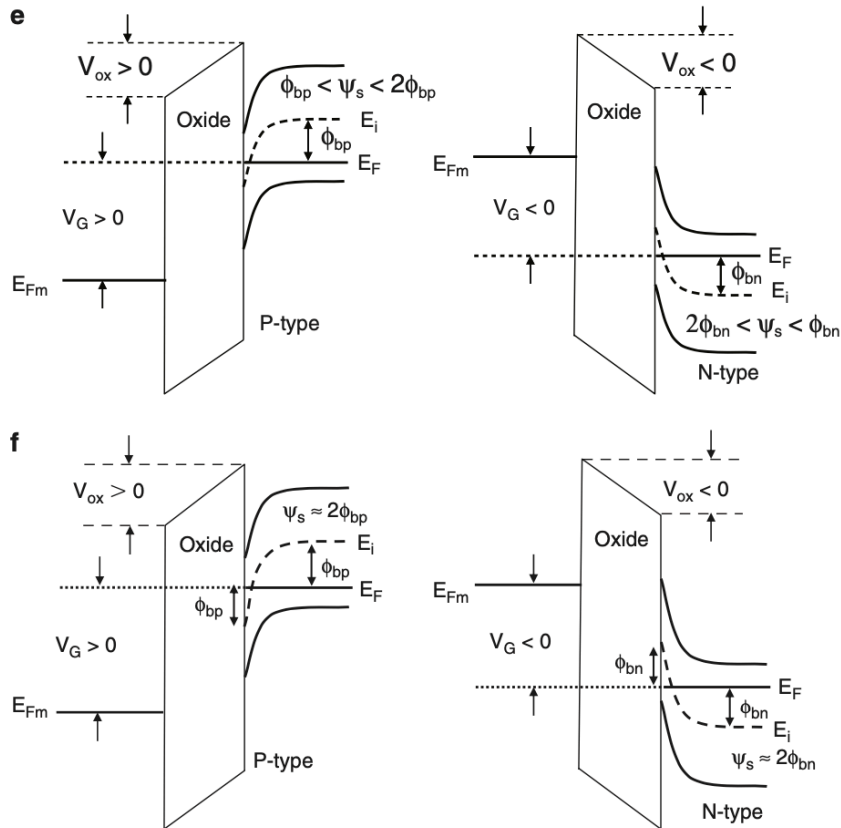
Εξίσωση 1-12

Αν η πολικότητα της πύλης είναι τέτοια ώστε να απωθεί τους φορείς πλειονότητας από την επιφάνεια, τότε το MOS μπαίνει σε κατάσταση απογύμνωσης, απόστασης x_d . Για χαμηλές τάσης, οι φορείς μειονότητας έλκονται στην επιφάνεια αλλά η συγκέντρωσή τους είναι συγκριτικά μικρότερη με αυτή των προσμίξεων αποδεκτών. Για ημιαγωγό τύπου P αυτή η συνθήκη εκφράζεται $p_s < N_A, n_s \ll N_A, n_s \ll p_s$.

Καθώς αυξάνουμε την τάση απογύμνωσης, οι φορείς πλειονότητας στην επιφάνεια μειώνονται και άλλο, μεγαλώνοντας της περιοχή απογύμνωσης και αυξάνοντας τους φορείς μειονότητας στην επιφάνεια. Η κατάσταση όπου η συγκέντρωση ηλεκτρονίων είναι ίση με την συγκέντρωση οπών $p_s = n_s$ ονομάζεται ενδογενής κατάσταση και σε αυτή την κατάσταση, όπως φαίνεται στην εικόνα 1-16, η στάθμη Φέρμι είναι στο ίδιο επίπεδο με την ενδογενή στάθμη στην επιφάνεια. Αυτή η κατάσταση είναι εφικτή όταν $\Psi_s = \phi_b$.

1.1.7.5 Κατάσταση αντιστροφής

Αυξάνοντας και άλλο την τάση, αυξάνεται περαιτέρω η καμπυλότητα, με αποτέλεσμα το επίπεδο Φέρμι του ημιαγωγού να διαπερνά το ενδογενή επίπεδο στην επιφάνεια, αντιστρέφοντας την πολικότητα των φορέων. Οι φορείς μειονότητας γίνονται φορείς πλειονότητας στην επιφάνεια, και ισχύει, $n_s > p_s$ για τύπο P, και $p_s > n_s$ για τύπου N ημιαγωγού. Έτσι λέμε ότι η επιφάνεια έχει αναστραφεί. Αν αυξήσουμε και άλλο την τάση



Εικόνα 1-17: Ενεργειακό διάγραμμα ενός MOS σε κατάσταση αντιστροφής

απογύμνωσης, η συγκέντρωση των αναστραμμένων φορέων αυξάνεται και γίνεται περίπου ίδια με τους ιονισμένους φορείς πλειονότητας του όγκου του υλικού. Αυτή η κατάσταση επιτυγχάνεται όταν $\Psi_s = 2\Phi_b$ και ονομάζεται μεγάλη αναστροφή. Από αυτό το σημείο και μετά, αν αυξήσουμε την τάση το πλάτος της αναστροφής περιοχής δεν αυξάνεται πάρα μόνο η συγκέντρωση φορέων.

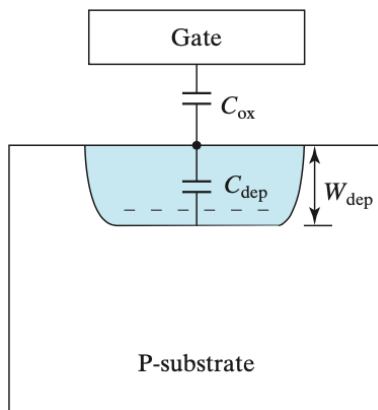
1.1.7.6 Η χαρακτηριστική C-V στην δομή MOS

Η χαρακτηριστική χωρητικότητας-τάσης είναι μια μέθοδος για να καθορίσουμε το πάχος του οξειδίου στην πύλη, την συγκέντρωση της νόθευσης στο υπόστρωμα, την τάση κατωφλίου και την τάση επίπεδης στάθμης. Η χαρακτηριστική συνήθως υπολογίζεται, εφαρμόζοντας μια DC τάση στην πύλη, V_g , μαζί με ένα μικρό ημιτονοειδή σήμα (1kHz-10MHz) και μετράμε το ρεύμα χωρητικότητας με ένα πολύμετρο AC και με τον τύπο $i_{cap}/v_{ac} = \omega C$. Η χωρητικότητα στις δομές MOS αναφέρεται πάντα για τα μικρά σήματα και είναι ουσιαστικά:

$$C \equiv \frac{dQ_g}{dV_g} = - \frac{dQ_{sub}}{dV_g}$$

Εξίσωση 1-13

Το αρνητικό πρόσημο υπάρχει επειδή την τάση V_g την παίρνουμε από την πάνω πλάκα του πυκνωτή ενώ το Q_{sub} , το φορτίο του υποστρώματος, από την κάτω πλάκα του πυκνωτή. Στην περιοχή συσσώρευσης, ο πυκνωτής MOS είναι απλά ένας πυκνωτής με χωρητικότητα C_{ox} .



Εικόνα 1-18: Η χωρητικότητα που αναπτύσσεται σε μια δομή MOS

Στην περιοχή απογύμνωσης όμως, ο πυκνωτής MOS χωρίζεται σε δύο πυκνωτές σε σειρά. Ο πρώτος είναι ο πυκνωτής στο οξείδιο C_{ox} και ο δεύτερος είναι ο πυκνωτής στην απογύμνωση C_{dep} . Για μικρά σήματα το πλάτος του πυκνωτή απογύμνωσης W_{dep} , επεκτείνεται και συρρικνώνεται ελαφρώς στην συχνότητα του σήματος. Η συνολική χωρητικότητα υπολογίζεται από τον τύπο:

$$\frac{1}{C} = \sqrt{\frac{1}{C_{ox}^2} + \frac{2(V_g - V_{fb})}{qN_a\epsilon_s}}$$

Εξίσωση 1-14

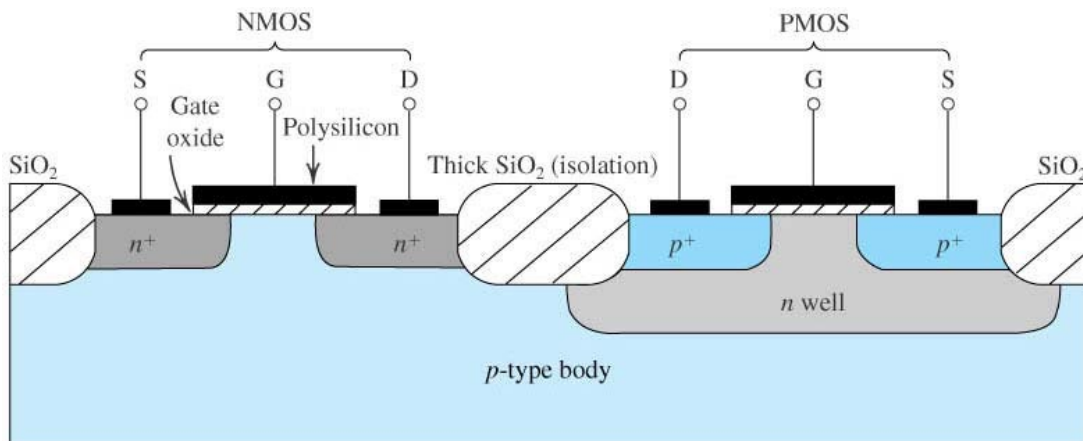
1.2 Η δομή του MOSFET [6] [7] [8]

1.2.1 Εισαγωγή

Η αρχική έννοια του MOSFET ερευνήθηκε την δεκαετία του 1930 αλλά λόγω της δυσκολίας της κατασκευής τους η πρακτική εφαρμογή του ξεκίνησε μετά το 1960. Μόλις η τεχνολογία προχώρησε αρκετά και τα MOSFET μπορούσαν να κατασκευαστούν με ευκολία, τότε γρήγορα αντικατέστησαν τα διπολικά τρανζίστορ (BJT) επειδή μπορούν να παραχθούν ποιο εύκολα μαζικά, είναι καλύτερα για σχεδίαση VLSI και καταναλώνουν λιγότερη ισχύ.

Το MOSFET, ή Metal-Oxide-Semiconductor Field-Effect Transistor, είναι ένα εξάρτημα με τρεις ακροδέκτες, αλλά στην πραγματικότητα η δομή του εσωτερικά έχει τέσσερις ακροδέκτες. Η κύριοι ακροδέκτες είναι ο Απαγωγός (Drain), η Πύλη (Gate) και η Πηγή (Source), αλλά επιπλέον υπάρχει και το υπόστρωμα ή σώμα. Ο ακροδέκτης της Πύλης μαζί με το υπόστρωμα σχηματίζουν την δομή MOS που αναλύσαμε προηγουμένως. Η Πύλη είναι ανάμεσα στους άλλους δύο ακροδέκτες, τον ακροδέκτη της Πηγής και του Απαγωγού, οπου είναι αντίθετης νόθευσης από το Υπόστρωμα. Η περιοχή ανάμεσα στον Απαγωγό και την Πηγή ονομάζεται κανάλι και είναι ο αγωγίμος δρόμος για το ρεύμα. Η αγωγιμότητα του καναλιού ελέγχεται από την τάση της Πύλης. Στις εφαρμογές το υπόστρωμα συνδέεται μαζί με την επαφή της πηγής και για αυτό το λόγο το θεωρούμε εξάρτημα με τρεις ακροδέκτες.

Όπως και άλλες δομές FET, η λειτουργία του MOSFET βασίζεται σε δυνάμεις επίδρασης πεδίου, δηλαδή στην έλξη και απώθηση φορέων με την εφαρμογή κάποιας τάσης.



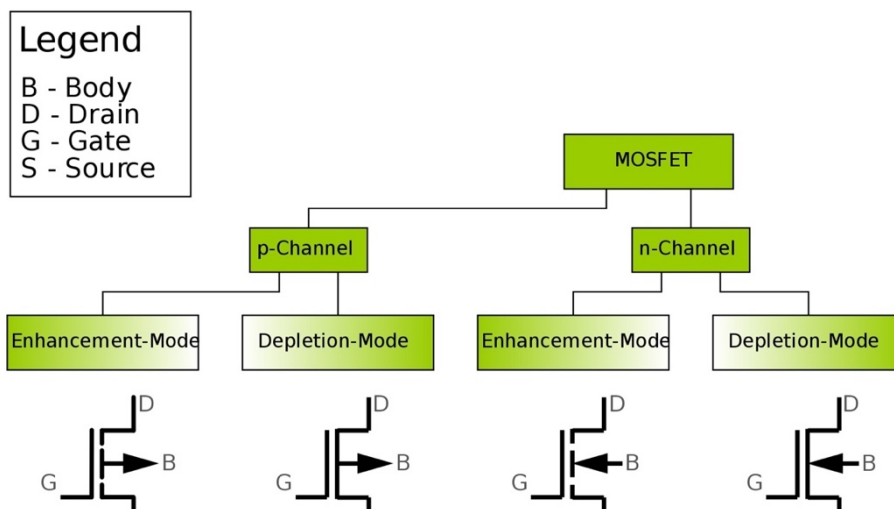
Εικόνα 1-19: Πλάγια τομή μιας δομής CMOS (Complementary MOS, nMOS και pMOS συνδεδεμένα σε σειρά)

1.2.2 Τα είδη των MOSFET

Υπάρχουν δύο είδη MOSFET ανάλογα με τους φορείς πλειονότητας που έχει στο υπόστρωμά του. Το MOSFET καναλιού N, ή αλλιώς nMOS, όπου οι φορείς πλειονότητας στο κανάλι είναι ηλεκτρόνια ενώ το υπόστρωμα είναι τύπου P και το MOSFET καναλιού P, ή αλλιώς pMOS, όπου η φορείς πλειονότητας στο κανάλι είναι οπές και το υπόστρωμα είναι τύπου N. Αυτές οι δύο κατηγορίες επίσης χωρίζονται σε δύο επιπλέον είδη MOSFET ανάλογα με το είδος του καναλιού που χρησιμοποιούν. Το πρώτο είδος είναι το depletion mode MOSFET, όπου το κανάλι είναι από το ίδιο υλικό που είναι και το MOSFET, (δηλαδή τύπου N για NMOS και τύπου P για PMOS). Αυτό έχει σαν αποτέλεσμα να υπάρχει πάντα κανάλι και να είναι πάντα στην κατάσταση ON. Για να πάει στην OFF κατάσταση θα πρέπει να υπάρχει το κατάλληλο πεδίο που δημιουργείται από την τάση στην πύλη ως προς το υπόστρωμα, ώστε να δημιουργηθεί μια περιοχή απογύμνωσης από φορείς και να «χαλάσει» το κανάλι.

Το άλλο είδος είναι το Enhancement MOSFET, όπου σε αυτή την περίπτωση το αγώγιμο κανάλι δημιουργείται από ηλεκτρικό πεδίο, εφαρμόζοντας την κατάλληλη τάση στην Πύλη ως προς το υπόστρωμα. Το MOSFET στην κανονική κατάσταση είναι OFF και γίνεται ON όταν δημιουργηθεί το κανάλι.

Άρα σε ένα MOSFET, πρέπει να υπάρχει ένα στρώμα αναστροφής των φορέων που είναι το αγώγιμο κομμάτι και αφήνει το ρεύμα να περάσει. Όπως περιγράψαμε και στον πυκνωτή MOS,



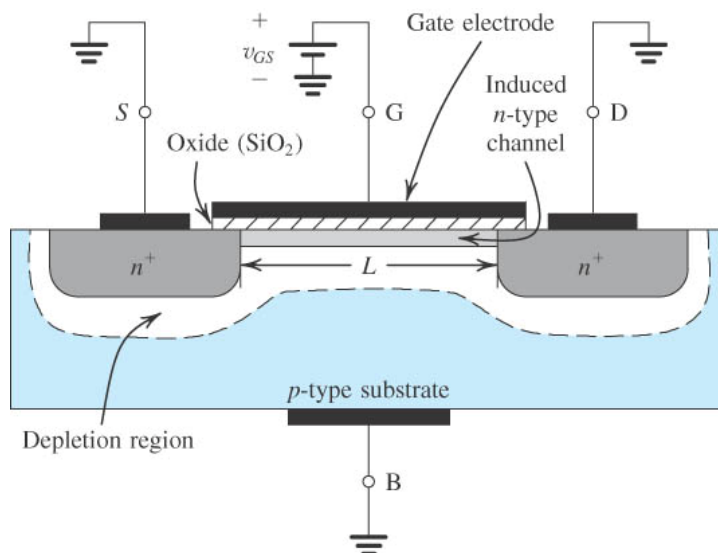
Εικόνα 1-20: Τα είδη των MOSFETs

για να πετύχουμε αναστροφή των φορέων, εφαρμόζουμε μια τάση στην πύλη ως προς τις άλλες επαφές. Για να πετύχουμε κατάσταση μεγάλης αναστροφής θα πρέπει να ξέρουμε την τάση κατωφλίου V_T . Για να δημιουργηθεί κανάλι από την επαφή του Απαγωγού μέχρι την Πηγή, η επιφάνεια της Πύλης βρίσκεται πάνω από το κανάλι και καλύπτει λίγο και τις επαφές του Απαγωγού και της Πηγής.

1.2.3 Αρχή λειτουργίας ενός MOSFET

Η λειτουργία των MOSFET δεν είναι πάντα γραμμική αλλά χωρίζεται σε διάφορες καταστάσεις τις οποίες θα αναλύσουμε. Για ευκολία θα αναλύσουμε την λειτουργία ενός NMOS όπου η ίδια λογική ισχύει και για ένα PMOS.

Σε κατάσταση ισορροπίας η δομή του MOSFET φαίνεται στην παρακάτω εικόνα 1-21. Τα ηλεκτρόδια των επαφών της Πηγής και του Απαγωγού είναι τύπου N και έχοντας υπόστρωμα τύπου P, δημιουργείται μια περιοχή απογύμνωσης όπως και σε μια επαφή PN, όταν βρίσκονται οι επαφές στο ίδιο δυναμικό. Η Πύλη και το υπόστρωμα σχηματίζουν ένα MOS πυκνωτή. Αυξάνοντας λίγο την τάση στην Πύλη, θετικά φορτία συγκεντρώνονται στο ηλεκτρόδιο της Πύλης, και αρνητικά φορτία στο υπόστρωμα κοντά στην διεπαφή που προέρχονται από την περιοχή απογύμνωσης. Αυτό γίνεται γιατί έχοντας υπόστρωμα τύπου P, έχουμε φορείς πλειονότητας οπές οι οποίες απωθούνται από την θετική τάση στην πύλη, αφήνοντας μόνο τα αρνητικά φορτισμένα ιόντα. Καθώς αυξάνουμε και άλλο την τάση στην Πύλη, η περιοχή απογύμνωσης μεγαλώνει. Αν συνεχίσουμε και αυξάνουμε την τάση στην Πύλη, μέχρι μια τάση



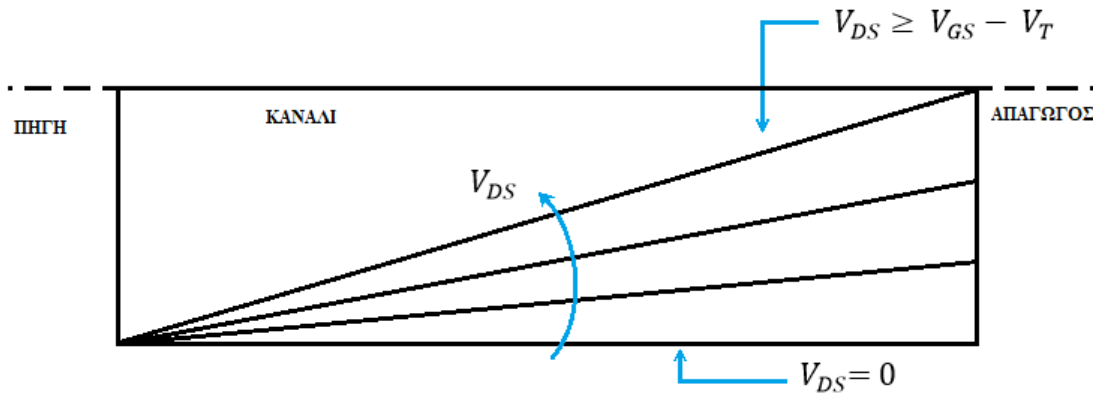
Εικόνα 1-21: Δημιουργία ενός αγώγιμου δρόμου (καναλιού) σε MOSFET με την εφαρμογή κατάλληλης τάσης

που λέγεται κατωφλίου (V_T) τότε οι φορείς μειονότητας που έχει το υπόστρωμα τύπου P, δηλαδή τα ηλεκτρόνια, αρχίζουν και συσσωρεύονται στην διεπαφή κάτω από το διηλεκτρικό της Πύλης, δημιουργώντας ένα κανάλι αγώγιμο τύπου N. Αυτό το κανάλι εκτείνεται από την Πηγή έως τον Απαγωγό και το πάχος εξαρτάται από $V_{GS} - V_T$.

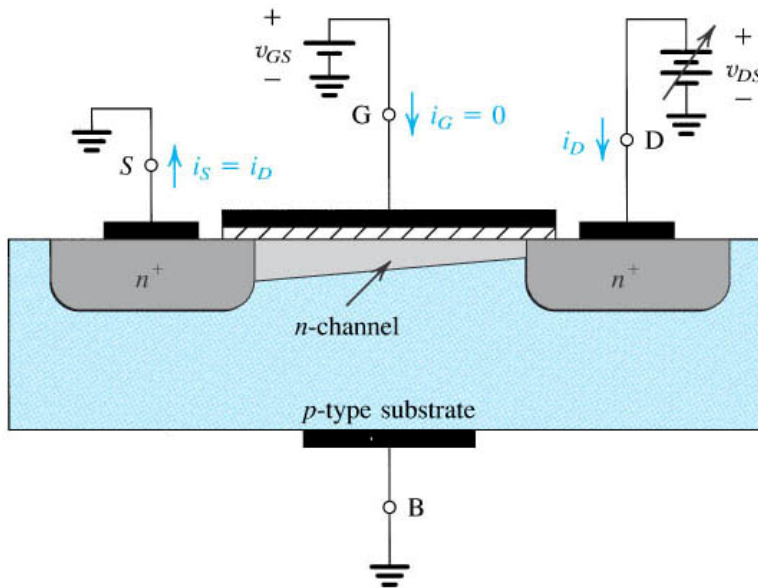
Όταν εφαρμόσουμε μια τάση V_{DS} (Απαγωγό ως προς Πηγή) και είμαστε σε κατάσταση πέρα από την τάση κατωφλίου, τα ηλεκτρόνια αρχίζουν να ρέουν στην περιοχή αναστροφής από την Πηγή στον Απαγωγό.

Αλλάζοντας την τάση στην Πύλη, μπορούμε να επηρεάζουμε την περιοχή αναστροφής, να την μεγαλώσουμε ή να την στενέψουμε, επηρεάζοντας έτσι το ρεύμα. Καθώς αυξάνεται η τάση στον Απαγωγό, το κανάλι αρχίζει να στενεύει κοντά στον Απαγωγό γιατί η τάση V_{GD} σε εκείνο το σημείο είναι μικρότερη. Άρα για μια τάση $V_{GS} > V_T$ και με την εφαρμογή μιας τάσης V_{DS} , υπάρχει μια σταθερή αύξηση της τάσης κατά μήκος του καναλιού από την Πηγή στον

Απαγωγό. Αυτό έχει σαν αποτέλεσμα η τάση ανάμεσα στην Πύλη και το υπόστρωμα (V_{GX} , όπου το X δηλώνει την θέση x μέσα στο κανάλι) να μην είναι σταθερή και να μειώνεται όσο πλησιάζουμε στον Απαγωγό με μέγιστη $V_{GX} = V_{GD}$.



Εικόνα 1-22: Η αλλαγή του καναλιού σε ένα MOSFET ανάλογα με την τάση V_{DS}

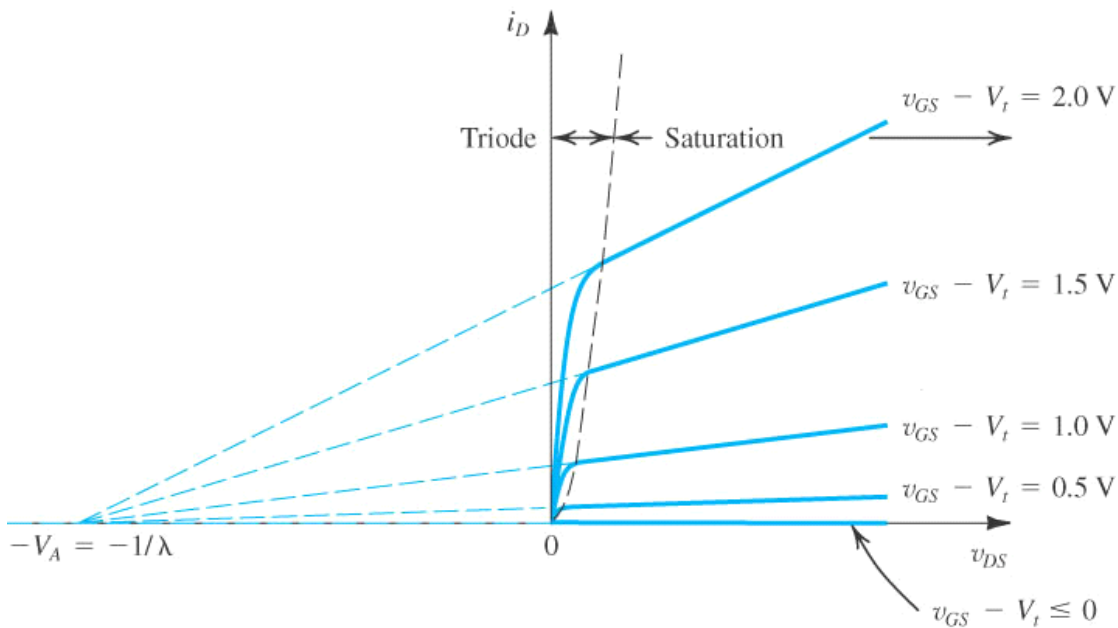


Εικόνα 1-23: Το κανάλι ενός MOSFET όταν έχουμε εφαρμόσει ένα δυναμικό V_{DS}

1.2.3.1 Κατάσταση Pinch-off και η χαρακτηριστική

Όταν η τάση V_{GD} φτάσει να είναι ίση με V_T τότε λέμε ότι έχουμε κατάσταση pinch-off, που σημαίνει ότι λιγοστεύουν τα ελεύθερα ηλεκτρόνια και η περιοχή που έχουμε αντιστροφή φορέων μικραίνει. Αυτό έχει σαν και το ρεύμα I_{DS} φτάνει σε κορεσμό. Το ρεύμα δεν γίνεται μηδέν όσο και να μεγαλώνει η περιοχή pinch-off, γιατί αυξάνοντας την V_{DS} τα ηλεκτρόνια μπορούν και «πηδάνε» λόγω του ηλεκτρικού πεδίου στην περιοχή. Η τάση για την οποία έχουμε κορεσμό είναι $V_{SAT} = V_{GS} - V_T$.

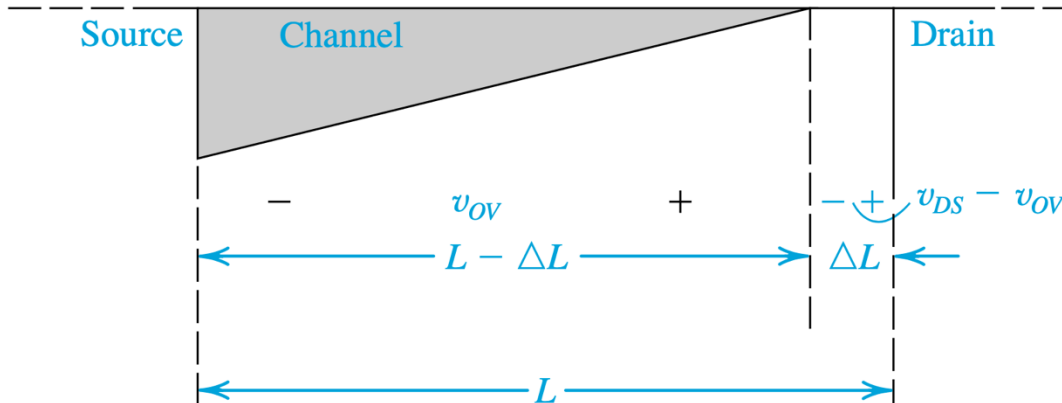
Παρακάτω στην εικόνα 1-24 φαίνονται οι χαρακτηριστικές ενός MOSFET, όπου απεικονίζουν το ρεύμα ανάλογα με την τάση V_{DS} για διαφορετικές τάσεις στην Πύλη. Πριν το κανάλι μπει σε κατάσταση pinch-off λέμε ότι το MOSFET είναι σε κατάσταση τριόδου (αριστερά της διακεκομμένης γραμμής). Μόλις η τάση $V_{DS} \geq V_{DSat}$ (δηλαδή δεξιά της διακεκομμένης γραμμής) το MOSFET είναι σε κατάσταση κορεσμού.



Εικόνα 1-24: Χαρακτηριστική I-V ενός MOSFET

1.2.3.2 Διαμόρφωση Μήκους Καναλιού

Στην πραγματικότητα το ρεύμα κορεσμού δεν είναι σταθερό αλλά αυξάνεται όσο αυξάνουμε την V_{DS} . Καθώς η V_{DS} μεγαλώνει περισσότερο από V_{DSsat} το κανάλι παρουσιάζει μια μικρή μείωση ΔL . Αυτό το φαινόμενο λέγεται διαμόρφωση μήκους καναλιού και απεικονίζεται στην εικόνα 1-25. Επειδή το μήκος του καναλιού μειώνεται, μειώνεται και η αντίστασή του. Αυτό έχει σαν αποτέλεσμα μια μικρή αύξηση του $i_S = i_D$ ανάλογα της τάσης V_{DS} όταν το MOSFET βρίσκεται σε κατάσταση κορεσμού.



Εικόνα 1-25: Διαμόρφωση μήκους καναλιού σε ένα MOSFET

1.2.3.3 Η επίδραση της πόλωσης του Σώματος (Body-Bias Effect)

Ας υποθέσουμε ότι έχουμε ένα MOSFET με την Πηγή και το Σώμα στο ίδιο δυναμικό, $V_S = V_B$. Ανάμεσα στην Πηγή και το Σώμα σχηματίζεται μια επαφή PN αλλά δεν διαρρέεται από κάποιο ρεύμα εφόσον δεν υπάρχει πολικότητα ή είναι ανάστροφα πολωμένη.

Εάν πολώσουμε αυτήν την επαφή ανάστροφα, το ρεύμα ανάμεσα στον Απαγωγό και την Πηγή επηρεάζεται αρκετά. Αυτό το φαινόμενο ονομάζεται Body-Bias, και είναι ουσιαστικά η επίδραση της τάσης V_{SB} στο ρεύμα I_D . Εφαρμόζοντας ανάστροφη τάση στην επαφή Πηγής και Σώματος μειώνεται το φορτίο στο κανάλι για μια τάση ανάμεσα στην Πύλη και Πηγή. Δηλαδή, αυξάνεται η τάση που χρειάζεται για να δημιουργηθούν ένας συγκεκριμένος αριθμός κινητών φορέων στο κανάλι, άρα αυξάνεται την τάση κατωφλίου.

Στην παρακάτω εικόνα 1-26 φαίνεται μια τρισδιάστατη απεικόνιση μιας δομής MOSFET και οι ενεργειακές στάθμες. Στην πρώτη στήλη έχουμε μηδενική τάση πόλωσης Πηγής-Σώματος και δύο διαφορετικές τάσεις στην Πύλη ($V_G = 0$ και $V_G = V_{T0} = -1 V$). Στην δεύτερη στήλη έχουμε $V_B = -1 V$ και τρεις διαφορετικές τάσεις στην Πύλη ($V_G = 0$, $V_G = V_{T0} = -1 V$ και $V_T = V_{T0} + \Delta V_T$). Όταν έχουμε πόλωση στο υπόστρωμα, χρειάζεται παραπάνω καμπύλωση των ενεργειακών σταθμών ώστε να αντιστραφούν οι φορείς στην διεπαφή, άρα μεγαλώνει η τάση κατωφλίου.

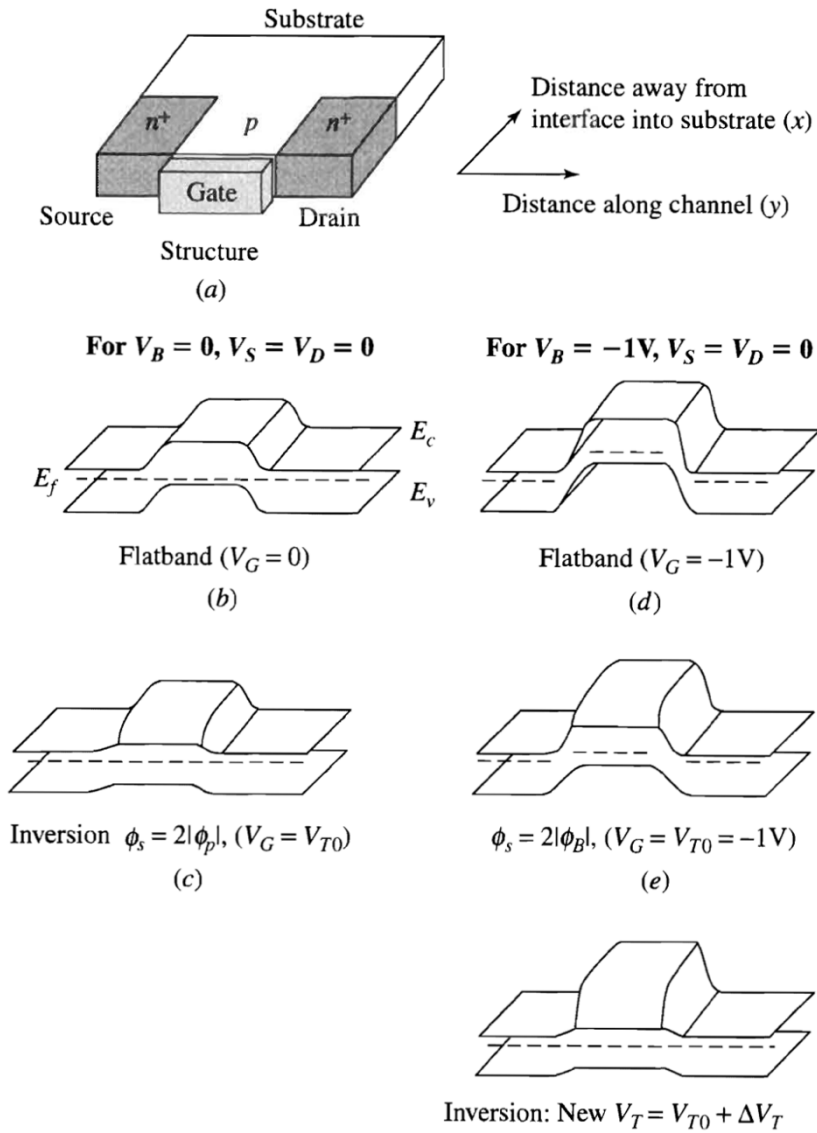
$$\Delta V_T = \frac{\sqrt{2\varepsilon_s q N_a}}{C_{ox}} \left(\sqrt{2|\phi_p| + |V_{SB}|} - \sqrt{2|\phi_p|} \right) = \gamma \left(\sqrt{2|\phi_p| + |V_{SB}|} - \sqrt{2|\phi_p|} \right)$$

Εξίσωση 1-15

όπου γ είναι η παράμετρος body-effect και έχει μονάδα \sqrt{V}

$$\gamma = \frac{\sqrt{2\epsilon_s q N_a}}{C_{ox}}$$

Εξίσωση 1-16



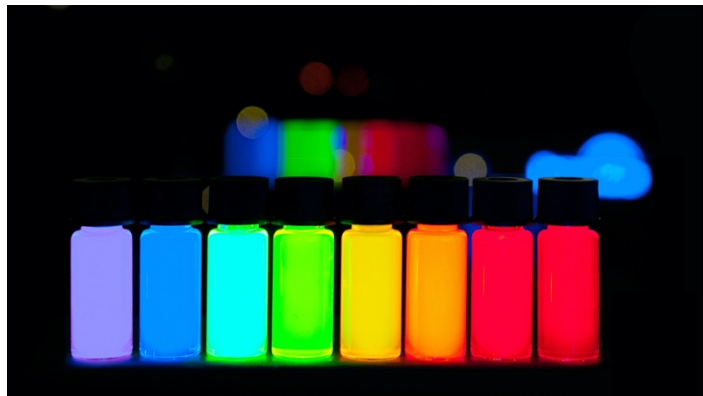
Εικόνα 1-26: Οι ενεργειακές στάθμες ενός MOSFET με και χωρίς πόλωση του Σώματος

1.3 Quantum Dots [9] [10] [11]

1.3.1 Εισαγωγή

Οι κβαντικές τελείες (Quantum Dots, QDs) είναι πολύ μικρές κρυσταλλικές δομές που συνήθως αποτελούνται από 100-10.000 άτομα, τα οποία έχουν μέγεθος από 1,5 έως 10nm. Τα QDs, παρουσιάζουν κάποια μοναδικά χαρακτηριστικά που διαφέρουν από αυτές αντίστοιχων ημιαγωγών μεγαλύτερων μεγεθών (bulk). Η ηλεκτρονική τους δομή προσδιορίζεται από το μέγεθός τους αλλά και από το χημικό περιβάλλον στο οποίο βρίσκονται. Η ηλεκτρονική τους δομή αποτελείται από διακριτές ενεργειακές στάθμες που βρίσκονται στην ζώνη αγωγιμότητας και στην ζώνη σθένους, του ημιαγωγίμου υλικού.

Ελαττώνοντας το μέγεθος των νανοκρυσταλλιτών, αυτές οι δέσμιες καταστάσεις μετατοπίζονται σε υψηλότερες τιμές ενέργειας με αποτέλεσμα το ενεργειακό χάσμα του υλικού να μεγαλώνει. Η ενέργεια ενός ηλεκτρονίου το οποίο είναι εντοπισμένο σε μια πολύ μικρή περιοχή, όπως μια κβαντική τελεία είναι ισχυρά κβαντισμένη, δηλαδή παρουσιάζει ενεργειακό φάσμα τελείως διακριτό (εικόνα 1-28D).

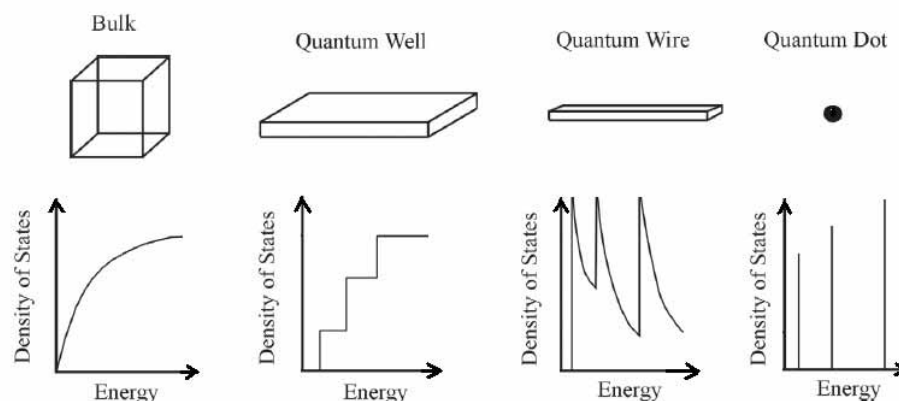


Εικόνα 1-27: Ένα χαρακτηριστικό των κβαντικών τελειών είναι να ανακλούν το φως σε διαφορετικό μήκος κύματος ανάλογα με το μέγεθός τους

Άλλη μια ενδιαφέρουσα ιδιότητα των νανοκρυσταλλιτών ημιαγωγού είναι αυτή της ελεγχόμενης φόρτισης εξαιτίας του φαινομένου φραγής Coulomb που θα δούμε στην συνέχεια.

Οι κβαντικές τελείες συντίθενται από τα ίδια στοιχεία του περιοδικού πίνακα που κατασκευάζονται και οι ημιαγωγοί μεγάλου σώματος. Δηλαδή οι ενώσεις είναι από τις ομάδες II-VI (CdSe, CdS, ZnO, ZnS), III-V (GaN, GaP, InP), και IV-VI (PbSe, PbS).

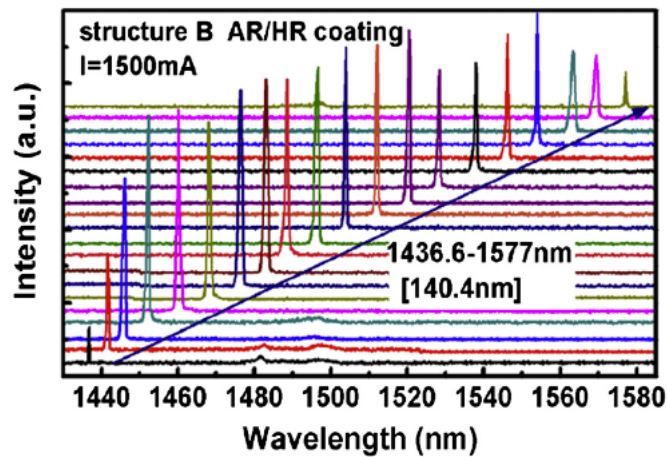
Σε δομές με διαστάσεις της τάξης μεγέθους των 10-100nm, η απόσταση ανάμεσα στα γειτονικά ενεργειακά επίπεδα είναι της τάξης των λίγων meV.



Εικόνα 1-28: Διάγραμμα πυκνότητας καταστάσεων συναρτήσει της ενέργειας για (A) εκτεταμένο ημιαγωγό (B) Κβαντικό πηγάδι (C) Κβαντικό σύρμα (D) Κβαντική τελεία

Η χρήση της τεχνολογίας των κβαντικών τελειών υπόσχεται πρόοδο σε εφαρμογές στην πληροφορική και στις τηλεπικοινωνίες, στο φωτισμό, στα φωτοβολταϊκά και στην βιοϊτρική. Σε εφαρμογές στην πληροφορική και στις τηλεπικοινωνίες η χρήση των κβαντικών τελειών

μπορεί να προσφέρει QDs lasers με υψηλή αποδοτικότητα, και διαφορική ενίσχυση με χαμηλή πυκνότητα ρεύματος κατωφλίου και υψηλή ταχύτητα διαμόρφωσης. Στο επιστημονικό περιοδικό [12] αναφέρονται μερικές από τις τελευταίες έρευνες που γίνονται για την χρήση των κβαντικών τελειών από ημιαγωγούς. Γίνεται αναφορά για broadband tunable external cavity laser βασισμένο InAs/InP QDs πάνω σε InP υπόστρωμα με ρυθμιζόμενο εύρος εκπομπής πάνω από 140 nm, στο φάσμα των 1550 nm και μέγιστη ισχύς στα 6 mW.

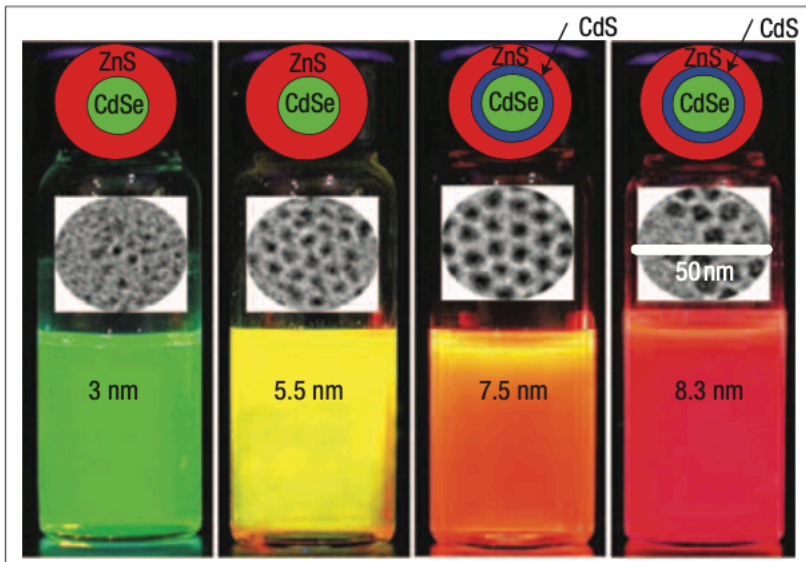


Εικόνα 1-29: Ρυθμιζόμενο φάσμα ενός 2 mm EC InAs/InP QD laser οδηγούμενο από πηλαμικό ρεύμα 1500 mA (1 kHz ρυθμός επανάληψης και 3% duty cycle)

Επίσης έχουν κατασκευαστεί lasers υψηλής ισχύος που μπορούν να δουλέψουν σε μεγάλες θερμοκρασίες, με χρήση υλικών III-V για QDs πάνω σε Si υπόστρωμα και κατασκευασμένα με τεχνική wafer bonding. Όμως για την κατασκευή midwave-infrared laser (MWR) υψηλής απόδοσης υπάρχουν ακόμα πολλές τεχνικές δυσκολίες.

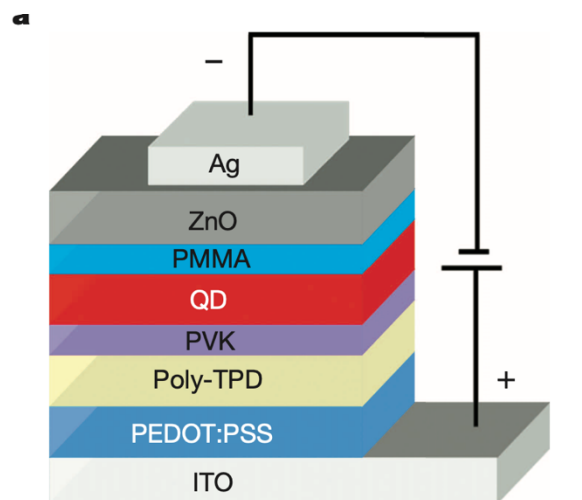
Οι κβαντικές τελείες έχουν βρει εφαρμογή και στο χώρο του Solid-state lighting (SSL) [12] λόγω του ότι μπορούν να εκπέμπουν σε διαφορεικό φάσμα ανάλογα με το μέγεθός τους και χωρίς να τις επηρεάζουν οι αλλαγές στην θερμοκρασία. Αυτό το χαρακτηριστικό κάνει εφικτό την κατασκευή πολυχρωματικών LEDs από κβαντικές τελείες (QD-LEDs) με στενό εύρος φάσματός.

Η εκπομπή των QD-LEDs μπορεί να ελεγχθεί αλλάζοντας των μέγεθος και την σύνθεση των κβαντικών τελειών χωρίς να αλλάξει η διαδικασία κατασκευής. Μπορεί να χρησιμοποιηθεί μια διαδικασία κατασκευή για την παραγωγή διαφορετικών QDs για την χρήση τους σε ένα μεγάλο εύρος εκπομπής, καλύπτοντας το ορατό φάσμα και κοντά στο υπεριώδες. Οι Sun, Q., Wang, Y., Li, L. et al. [13] κατασκεύασαν κβαντικές τελείες για το κόκκινο, το πορτοκαλί, το κίτρινο και το πράσινο, με πυρήνα από CdSe και κέλυφος από ZnS ή CdS/ZnS. Το κέλυφος από ZnS ή CdS/ZnS αυξάνει την φωτοσταθερότητα των QDs. Το χρώμα εκπομπής αλλάζει, μεταβάλλοντας το μέγεθος του CdSe πυρήνα και αλλάζοντας την δομή του κελύφους από μόνο ZnS, σε διπλό CdS/ZnS. Για την χρήση τους σε QD-LEDs, όλες οι κβαντικές τελείες περάσανε από επαναλαμβανόμενη διαδικασία απολύμανσης για την απομάκρυνση οργανικών στοιχείων.



Εικόνα 1-30: Ο δομή των κβαντικών τελειών και η αλλαγή του χρώματος εκπομπής [13]

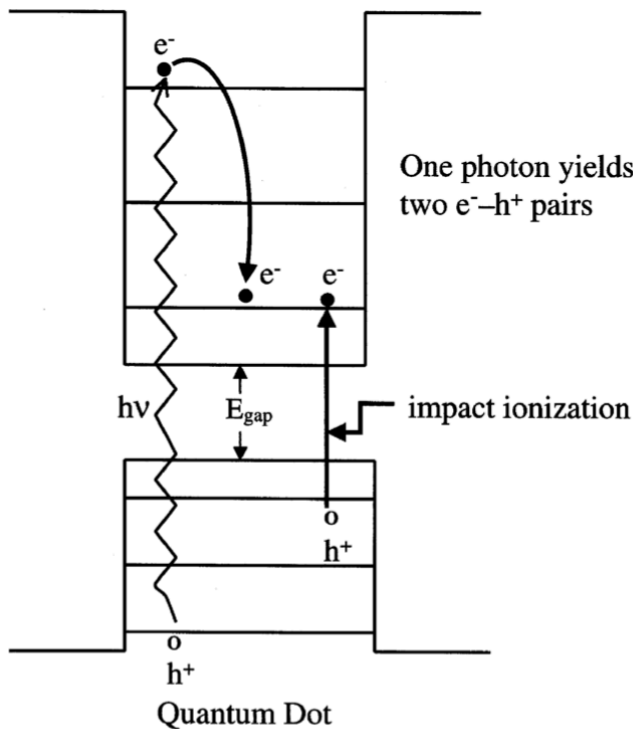
Οι Dai, X., Zhang, Z., Jin, Y. et al. [14] παρουσίασαν ένα είδος φωτοδιόδου που χρησιμοποιεί κβαντικές τελείες και μπορεί να πετύχει πολύ μικρή turn-on voltage και μεγάλη αποδοτικότητα. Η διάταξη που χρησιμοποιήσαν αποτελείται από πολλαπλά επίπεδα υλικών εικόνα 1-31 με την ακόλουθη σειρά: οξείδιο του κασσιτέρου ντίου (ITO), πολυ(αιθυλενοδιοξυθειοφαίνιο): σουλφονικό πολυστυρένιο (PEDOT:PSS, 35 nm), πολυ (N,N9-δισ(4-βουτυλφαινυλ)-N,N9-δισ(φαινυλ)-βενζιδίνη) (poly-TPD, 30 nm), πολυ(9-βινλυκαρβαζόλη) (PVK, 5 nm), κβαντικές κουκκίδες πυρήνα-κέλυφος CdSe–CdS (QDs, 40 nm), πολυ(μεθακρυλικός μεθυλεστέρας) (PMMA, 6 nm), νανοσωματίδια ZnO (150 nm) και ασήμι (Ag, 100 nm).



Εικόνα 1-31: Δομή φωτοδιόδου με πολλαπλά στρώματα υλικών

Οι κβαντικές τελείες έχουν κβαντικής απόδοσης φωτοφωταύγειας 90% και πολύ καλές οπτικές ιδιότητες. Αυτό οφείλεται στην εισαγωγή ενός επιπέδου μόνωσης (PMMA) ανάμεσα στο επίπεδο των κβαντικών τελειών και του οξειδίου ETL.

Τα ηλιακά κύτταρα κβαντικών τελειών (Quantum dot solar cells, QDSCs) [12] έχουν την δυνατότητα να περάσουν το όριο Shockley Queisser των ηλιακών κυττάρων μονής επαφής (single junction). Μπορούν να απορροφήσουν φωτόνια χαμηλής ενέργειας του ηλιακού φάσματος λόγω της ενδιάμεσης ζώνης που έχουν. Η Θεωρητική απόδοση που μπορεί να φτάσει ένα Intermediate Band Solar Cell (IBSC) είναι 63% που είναι παραπάνω από το όριο Shockley Queisser για single junction ηλιακό κύτταρο. Αυτή η απόδοση μπορεί να επιτευχθεί με ένα υψηλό ενεργειακό χάσμα των 1,9 eV και υπο ενεργειακά χάσματα των 0.7 eV και 1.2eV.



Εικόνα 1-32 :Αυξημένη αποδοτικότητα των QD φωτοβολταϊκών με ιονισμό λόγω κρούσης

Στα συστήματα επεξεργασίας εικόνας, η εικόνα χρειάζεται να είναι διαθέσιμη σε ψηφιακή μορφή, δηλαδή σε συστοιχίες από πεπερασμένο αριθμό δυαδικό λέξεων. Για την μετατροπή της εικόνας σε ψηφιακή μορφή, πρώτα πρέπει να μετατραπεί σε ψηφιακό σήμα από έναν ADC (Analog-to-Digital converter), κάνοντας δειγματοληψία της εικόνας σε διακριτές σημεία και ψηφιοποιώντας αυτά τα σημεία με ένα αριθμό από ψηφία. Ένας DAC (Digital-to-Analog Converter) κάνει την αντίστροφη διαδικασία για την μετατροπή μιας ψηφιακής εικόνας σε αναλογική. Στην πληροφορική και στον τομέα της επεξεργασίας εικόνας, ο Karmakar, S. [15] στην δημοσίευση του αναφέρεται σε μια άλλη εφαρμογή των κβαντικών τελειών. Χρησιμοποιεί ένα τρανζίστορ τριών καταστάσεων με κβαντικές τελείες, QDGFET, για να κατασκευάσει έναν αντιστροφέα για να αντιστρέψει τα χρώματα σε μια εικόνα. Παρακάτω πίνακα φαίνεται η σύγκριση λογικών πυλών με 32 nm MOSFET, CNTFET και QDGFET.

		Delay (s)	Power (watt)	PDP (J)
MOSFET	Inverter	1.77E-11	1.39E-06	2.46E-17
CNTFET	Inverter	2.42E-12	1.11E-07	2.69E-19
QDGFET	STI	1.10E-12	2.43E-08	2.64E-20
	PTI	1.10E-12	2.43E-08	2.64E-20
	NTI	1.10E-12	2.43E-08	2.64E-20

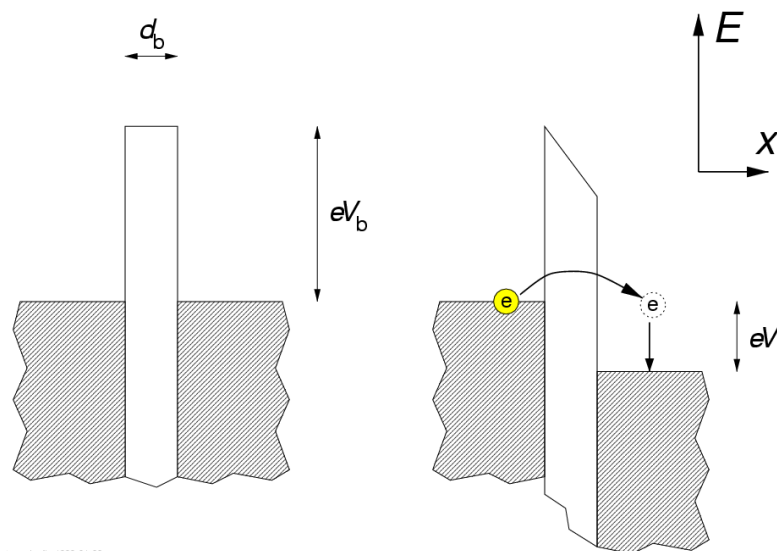
Πίνακας 2: Η καθυστέρηση, η ισχύς και η θερμική απώλεια λογικών πυλών με βάση MOSFET, CNTFET και QDGFET

Σύγκριση με άλλες τεχνολογίες αναφέρει ότι, τα ψηφιακά κυκλώματα που χρησιμοποιούν QDGFET έχουν δείξει μικρότερους χρόνους καθυστέρησης και καταναλώνουν λιγότερη ισχύ, και τα καθιστά πολύ καλή επιλογή για την επεξεργασία εικόνας και για την νέα εποχή των VLSI.

1.4 Quantum Transistors

1.4.1 Φαινόμενο Σήραγγας

Στις δομές που θα δούμε, οι νανοκρυσταλλίτες στους οποίους γίνεται η αποθήκευση φορτίου βρίσκονται ενσωματωμένοι μέσα σε μονωτική μήτρα διοξειδίου του πυριτίου που τα απομονώνει ηλεκτρικά από το υπόστρωμα, την πύλη αλλά και μεταξύ τους. Η απόσταση είναι μικρή λόγω του πολύ λεπτού οξειδίου σήραγγας που χρησιμοποιείται, μέσα από το οποίο γίνεται η έγχυση των φορέων από το κανάλι προς τους νανοκρυσταλλίτες και αποτελεί ένα φράγμα δυναμικού. Στην κλασική μηχανική, ένα ηλεκτρόνιο δεν μπορεί να περάσει πάνω από το φράγμα. Στην κβαντομηχανική όμως είναι δυνατόν να περάσει δια μέσου του φραγμού αν το πάχος είναι μικρό. Αυτό το φαινόμενο ονομάζεται Σήραγγας (tunneling) και έχει πολλές εφαρμογές, όπως για παράδειγμα να ελέγχει την έγχυση ηλεκτρονίων σε κάποια τρανζίστορ. Η έγχυση ελέγχεται από το πεδίο που αναπτύσσεται στο διηλεκτρικό λόγω της τάσης που εφαρμόζουμε στην πύλη και το οποίο παρέχει την απαραίτητη ενέργεια και επιταχύνει τους φορείς.



tunneling 1999-01-22

Εικόνα 1-33: Tunneling ενός ηλεκτρονίου μέσα από ένα φράγμα δυναμικού

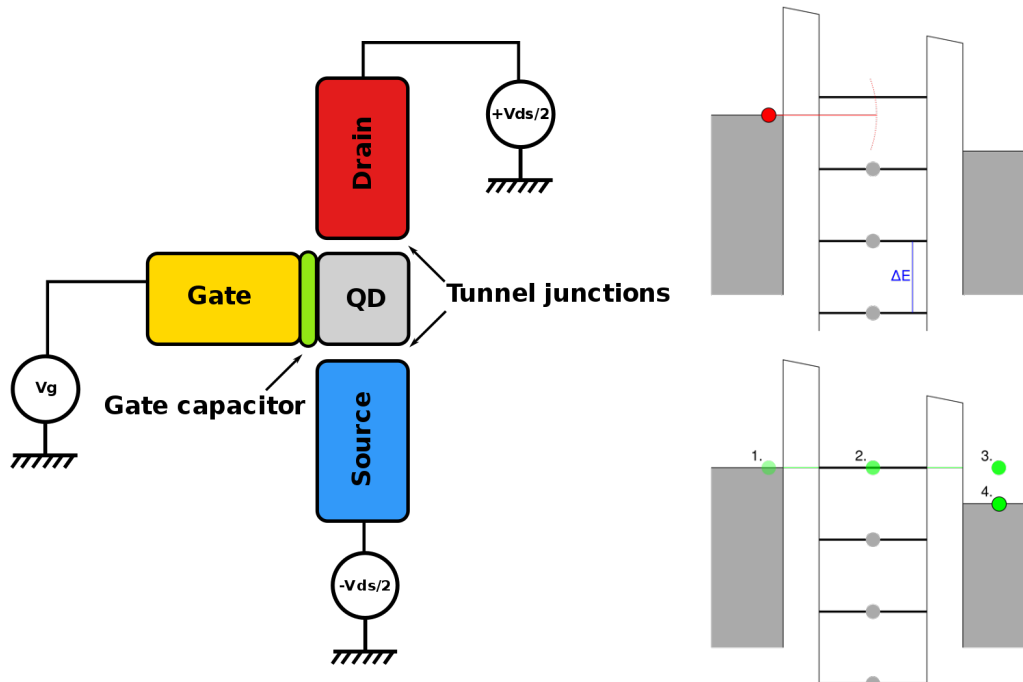
1.4.2 Η δομή ενός Single Electron Transistor (SET)

Καθώς το μέγεθος του τρανζίστορ ολοένα μικραίνει, δηλαδή το μήκος του καναλιού γίνεται πιο μικρό, δημιουργείται το πρόβλημα ότι τα ηλεκτρόνια «πηδάνε» το μικρό κανάλι και δεν μπορούμε να ελέγξουμε την OFF κατάσταση των τρανζίστορ. Μια τεχνολογία που πιθανώς λύνει αυτό το πρόβλημα και μπορεί να αντικαταστήσει στο μέλλον τα MOSFET είναι το τρανζίστορ μονού ηλεκτρονίου (SET).

Όπως φαίνεται στην εικόνα 1-34, στο κέντρο υπάρχει μια κβαντική τελεία φραγμένη από τον Απαγωγό και την Πηγή, η οποία φτιάχνει ένα πηγάδι. Αυτό το πηγάδι μπορεί να φορτιστεί με ηλεκτρόνιο μόνο σε διακριτές τάσης της Πύλης. Άρα μπορεί να λειτουργήσει σαν διακόπτης ηλεκτρονίων σύμφωνα με την κβαντοποίηση του ηλεκτρικού φορτίου που δημιουργείται παρά με την φόρτιση πυκνωτή όπως τα κανονικά MOSFET.

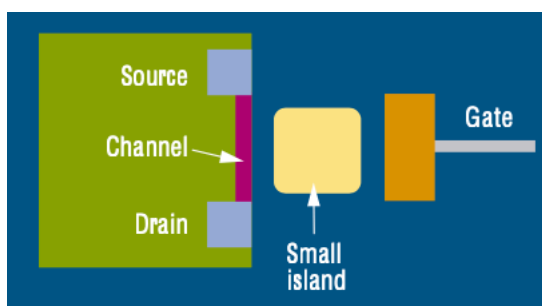
Ένα σημαντικό χαρακτηριστικό των SETs είναι ότι μπορεί να μεταβεί από την κατάσταση αποκοπής και κατάσταση αγωγιμότητας προσθέτοντας μόνο ένα ηλεκτρόνιο στο ηλεκτρόδιο

της Πύλης, ενώ τα απλά MOSFETs χρειάζονται περίπου 1000-10.000 ηλεκτρόνια. Επιπλέον οι χρόνοι εναλλαγής κατάστασης καθορίζεται κυρίως από την σταθερά χρόνου RC οι οποία μπορεί να γίνει πολύ μικρή, πράγμα που σημαίνει ότι τα SETs έχουν την δυνατότητα να γίνουν πολύ γρηγορότερα από τα MOSFETs.



Εικόνα 1-34: Δομή ενός τρανζίστορ μοναδιαίου ηλεκτρονίου και το ενεργειακό διάγραμμα για την κατάσταση φραγμού(επάνω) και κατάσταση μεταφοράς ηλεκτρονίου

Στην δημοσίευσή του, ο L. Geppert [16], αναφέρει και άλλες παραλλαγές του SET. Μια παραλλαγή του μελετιέται για την χρήση του σε non-volatile μνήμες. Σε αυτήν την περίπτωση η κβαντική τελεία τοποθετείται στο στρώμα του οξειδίου, ανάμεσα στην πύλη και το κανάλι. Ο συνδυασμός του φορτίου που αποθηκεύεται στην κβαντική τελεία, με την τάσεις Πηγής-Απαγωγού και της Πύλης καθορίζει το ρεύμα που διαρρέει το κανάλι.



Εικόνα 1-35: Παραλλαγή ενός SET με κβαντική τελεία στο επίπεδο του οξειδίου

1.4.3 Λειτουργία ενός SET και η φραγή Coulomb

Όταν οι διαστάσεις μιας δομής γίνονται της τάξης του μήκους κύματος Fermi (το De Broglie μήκος κύματος των ηλεκτρονίων στο επίπεδο Fermi) και στις τρεις διαστάσεις, οδηγούμαστε σε κβαντικές τελείες. Στις τελείες οι ηλεκτρονικές καταστάσεις είναι τελείως κβαντισμένες και ο εντοπισμός υπάρχει και στις τρεις διαστάσεις με αποτέλεσμα να παρουσιάζουν ένα διακριτό

φάσμα ενεργειακών επιπέδων. Οι ηλεκτρονικές καταστάσεις είναι ευαίσθητες στην παρουσία πολλών ηλεκτρονίων λόγω φαινομένων αλληλεπίδρασης Coulomb μεταξύ τους.

Όταν το πρώτο ηλεκτρόνιο εγχυθεί προς τον ναοκρυσταλλίτη θα καταλάβει την χαμηλότερη ενεργειακά δέσμια κατάσταση. Η ενέργεια που απαιτείται για αυτήν την μετάβαση στις κβαντικές στάθμες είναι η ενέργεια κβαντικού εντοπισμού. Η κατάληψη της πρώτης κβαντικής στάθμης στον ναοκρυσταλλίτη από ένα διακριτό φορτίο τροποποιεί το ηλεκτροστατικό δυναμικό με αποτέλεσμα η μετακίνηση ενός δεύτερου φορτίου προς τον ναοκρυσταλλίτη να απαιτεί ενέργεια μεγαλύτερη από την ενέργεια φόρτισης του ημιαγωγού. Αυτό σημαίνει ότι, αν το ηλεκτρικό πεδίο που εφαρμόζουμε είναι σταθερό θα έχουμε «φραγή» στην μετακίνηση του επόμενου ηλεκτρονίου.

Στις διατάξεις μνήμης εκμεταλλευόμαστε το φαινόμενο της ελεγχόμενης φόρτισης των ναοκρυσταλλιτών με εφαρμογή κατάλληλης τάσης στην πύλη. Η πρόσθεση ενός επιπλέον ηλεκτρονίου σε ένα ναοκρυσταλλίτη έχει σαν αποτέλεσμα την επανακανονικοποίηση των ενεργειακών σταθμών στον ναοκρυσταλλίτη λόγω της διαφοροποίησης του εσωτερικού πεδίου Coulomb.

Για παράδειγμα, έχουμε μια κβαντική τελεία ημιαγωγού (ναοκρυσταλλίτη) η οποία συνδυάζεται με 2 αποθήκες ηλεκτρονίων μέσω φραγμών δυναμικού (Απαγωγός και Πηγή). Ο αριθμός ηλεκτρονίων σε μια τέτοια τελεία μπορεί να θεωρηθεί ως σταθερός όταν το περιθώριο του χρόνου ζωής h/τ των ελεύθερων φορέων είναι πολύ μικρότερος από την ενέργεια φόρτισης Coulomb.

$$E_C = e^2/C$$

Εξίσωση 1-17

Το C εδώ είναι η χωρητικότητα της νησίδας ηλεκτρονίου δηλαδή του ναοκρυσταλλίτη. Ο χρόνος ζωής των ελεύθερων φορέων είναι ο χρόνος ο μέσος χρόνος που απαιτείται από ένα φορέων μειονότητας σε έναν ημιαγωγό να επανασυνδεθεί.

Αντικαθιστώντας το χρόνο ζωής των ηλεκτρονίων στην κβαντική τελεία με ένα ενεργό χρόνο RC , η απαίτηση που έχουμε να ισχύει η σχέση $E_C \gg h/\tau$ μπορεί να δώσει την τιμή της αντίστασης ως μέτρο σύζευξης της κβαντικής τελείας με τις αποθήκες ηλεκτρονίων.

$$R \gg h/e^2 \approx 22K\Omega$$

Εξίσωση 1-18

Η τιμή αυτή αποτελεί το κβάντο αντίστασης και είναι η ελάχιστη αντίσταση για να έχουμε αποσύζευξη του πεδίου στον ναοκρυσταλλίτη από το πεδίο στις αποθήκες ηλεκτρονίων. Για να παρατηρήσουμε φαινόμενα μόνου ηλεκτρονίου, είναι απαραίτητο η κβαντική τελεία να είναι απομονωμένη από της αποθήκες ηλεκτρονίων με φράγματα σήραγγας. Διέλευση ηλεκτρονίων λόγω φαινομένου σήραγγας (tunneling) από την πηγή προς τον ναοκρυσταλλίτη μπορεί να συμβεί, όταν η ενεργειακή στάθμη E_S που βρίσκονται οι φορείς στην πηγή ικανοποιεί την συνθήκη

$$E_S \geq E_N$$

Εξίσωση 1-19

όπου E_N είναι η ενεργειακή στάθμη του ναοκρυσταλλίτη.

Όταν φορτιστεί ο ναοκρυσταλλίτης με ένα ηλεκτρόνιο, η ηλεκτροστατική του ενέργεια αυξάνεται κατά το ποσό της ενέργειας φόρτισης και η διέλευση λόγω φαινομένου σήραγγας προς την κβαντική τελεία περιορίζεται από την απωστική δύναμη του πεδίου Coulomb που οφείλεται στην ύπαρξη του ηλεκτρονίου αυτού στον ναοκρυσταλλίτη. Σε αυτή την περίπτωση δεν θα μπει άλλο ηλεκτρόνιο στον ναοκρυσταλλίτη, αν η ενέργεια φόρτισης που απαιτείται να καλύψει είναι μεγαλύτερη από την θερμική ενέργεια kT . Αυτή η ενέργεια φόρτισης δρα

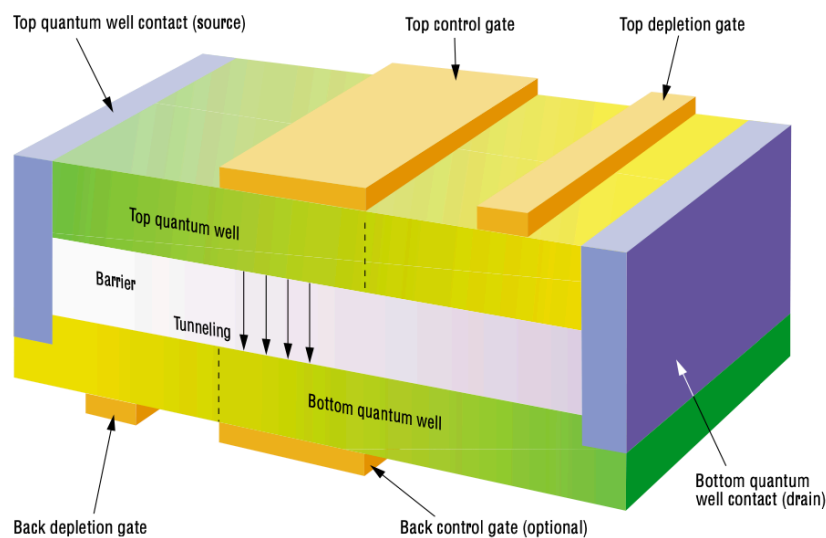
σαν ένας ενεργειακός φραγμός για τα ηλεκτρόνια με αποτέλεσμα να παρεμποδίζεται η μεταφορά τους αν δεν αυξηθεί η εφαρμοζόμενη τάση.

Το φαινόμενο της φραγής Coulomb μπορεί να αρθεί αν τα ηλεκτρόνια στην πηγή έρθουν σε ενέργεια E_C υψηλότερη από την ενέργεια ηλεκτρονίων στην κβαντική τελεία. Αυτό μπορεί να επιτευχθεί αλλάζοντας το δυναμικό της τελείας εφαρμόζοντας τάση πύλης V_G σε σχέση με το δυναμικό της πηγής μεγαλύτερη από μια τάση κατωφλίου V_B . Έτσι με το δυναμικό της πύλης μπορούμε να ελέγξουμε την ροή των ηλεκτρονίων από και προς το νανοκρυσταλλίτη ένα προς ένα.

1.4.4 Double-Electron-layer tunneling transistor (Deltt)

Μια άλλη παραλλαγή κβαντικού τρανζίστορ είναι το Deltt το οποίο κατασκευάζεται από ερευνητές στο Sandia National Laboratories, στην Αλμπουκέρκη [16]. Σε ένα Deltt, το μονωτικό στρώμα τοποθετείται ανάμεσα σε δύο δισδιάστατα κβαντικά κανάλια. Τα ηλεκτρόνια, χάρη στο φαινόμενο της σήραγγας, μεταφέρονται από ένα κανάλι στο άλλο. Τα τρανζίστορ που βασίζουν την λειτουργία τους σε αυτό το φαινόμενο, έχουν βελτιωμένη ταχύτητα γιατί τα ηλεκτρόνια μετακινούνται γρηγορότερα αφού μεταπηδούν από ένα σημείο στο άλλο και δεν χρειάζεται να ολισθαίνουν στο κανάλι.

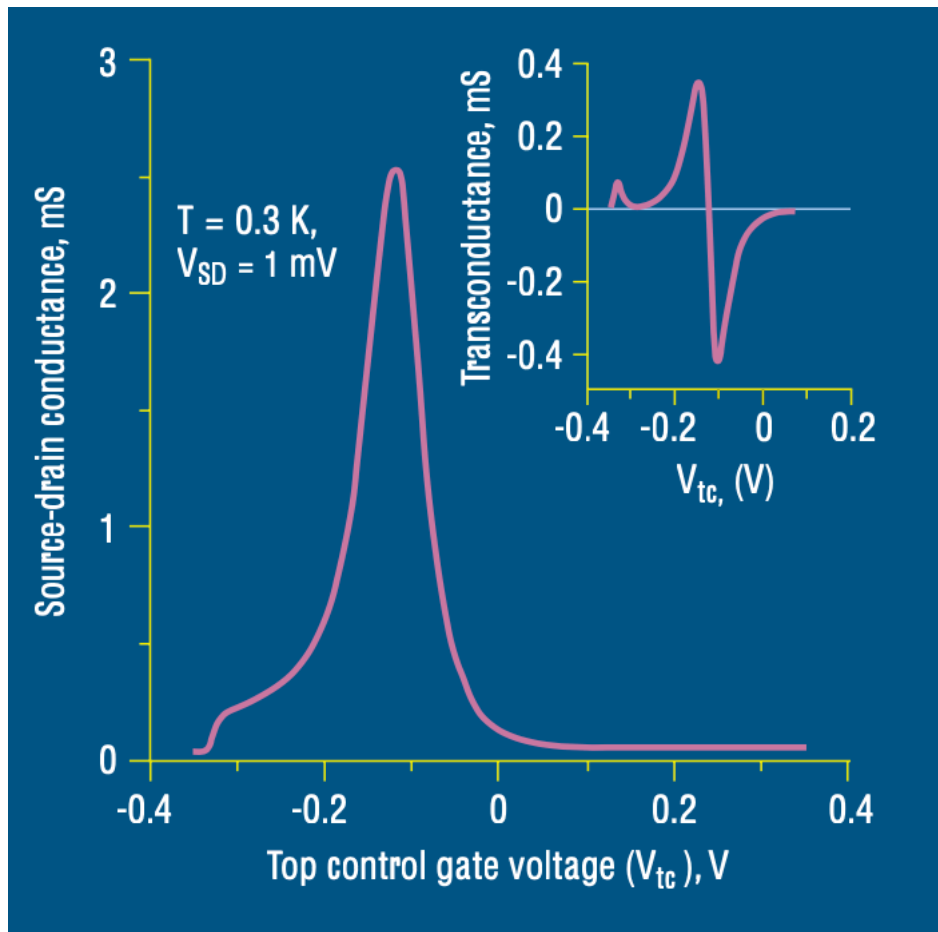
Οι διαστάσεις του καναλιού και το ύψος των φραγμών, καθορίζουν τις διακριτές ενεργειακές καταστάσεις που πρέπει να έχουν τα ηλεκτρόνια μέσα στο κανάλι. Τα ηλεκτρόνια θα μεταφερθούν στο απέναντι κανάλι, εάν το ενεργειακό επίπεδο στο άλλο κανάλι είναι ίδιο με την ενέργεια και την ταχύτητα που έχει το ηλεκτρόνιο στην αρχική του θέση. Όταν τα ενεργειακά επίπεδα των καναλιών μετακινηθούν κατάλληλα και είναι στο ίδιο επίπεδο τότε το τρανζίστορ μπαίνει σε μια κατάσταση που ονομάζεται ταλάντωση (resonance). Στην εικόνα 1-35 φαίνεται η δομή ενός Deltt. Τα κβαντικά κανάλια έχουν πάχος 15 nm και χωρίζονται από ένα μωτικό πάχους 12,5 nm. Τα ηλεκτρόνια που μεταπηδούν στα δύο κανάλια ελέγχονται από την τάση στους ακροδέκτες της Πύλης. Υπάρχουν οι ακροδέκτες του Απαγωγού και της Πηγής στα άκρα των δύο καναλιών. Επιπλέον υπάρχουν και δύο ακροδέκτες οι οποίοι απογυμνώνουν τις περιοχές κοντά στην Πηγή και τον Απαγωγό (κίτρινο χρώμα) με αποτέλεσμα να συνδέονται μόνο με το ένα κανάλι ο κάθε ένας.



Εικόνα 1-36: Δομή ενός Deltt

Η λειτουργία του Deltt στις ηλεκτρονικές διατάξεις δεν διαφέρει από αυτή ενός συμβατικού τρανζίστορ εκτός από μια διαφορά. Όταν αυξήσουμε την τάση του Απαγωγού ή της Πύλης σε ένα συμβατικό τρανζίστορ το ρεύμα στο κανάλι θα αυξηθεί. Όμως σε ένα Deltt αν αυξήσουμε

την τάση πάνω από την τάση που χρειάζεται και ταλάντωση, το ρεύμα αρχίζει και μειώνεται απότομα. Η χαρακτηριστική την αγωγιμότητα και διαγωγιμότητας ενός Deltt φαίνονται στην εικόνα 1-36.

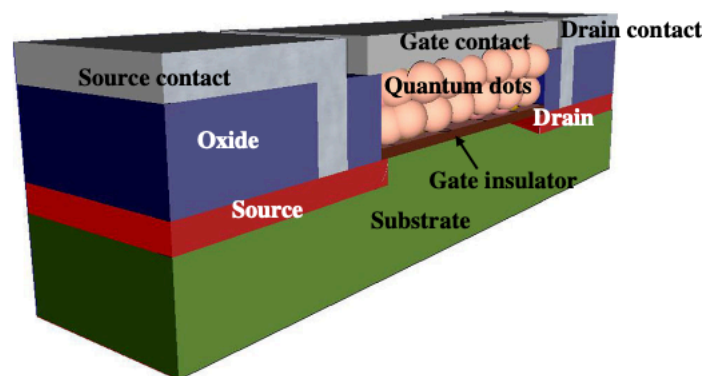


Εικόνα 1-37: Η χαρακτηριστική της αγωγιμότητας και διαγωγιμότητας ενός Deltt

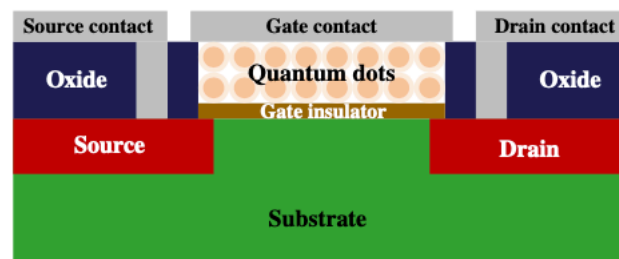
1.5 Quantum Dot Gate Field-Effect Transistor (QDGFET) [12]

Τρανζίστορ επίδρασης πεδίου με νανοκρυσταλλίτες στην Πύλη είναι σε ερευνητικό επίπεδο ως floating gate nonvolatile μνήμες, δηλαδή CMOS μνήμες όπου είναι ικανές να κρατάνε φορτίο και χωρίς κάποια εξωτερική τροφοδοσία. Η δομή τους είναι παρόμοια με αυτή ενός SET με την διαφορά ότι οι νανοκρυσταλλίτες βρίσκονται μέσα σε φράγμα στην πύλη επάνω από κανάλι. Το QDGFET είναι μια παραλλαγή αυτής της δομής μόνο που από την μεριά του ηλεκτροδίου της πύλης δεν υπάρχει φράγμα δυναμικού. Αυτό έχει σαν αποτέλεσμα τα QDGFET να μην μπορούν να αποθηκεύσουν φορτίο και έτσι η τάση κατωφλίου να μεταβάλλεται ανάλογα με την τάση πόλωσης στην Πύλη. Τα QDGFET έχουν τρεις σταθερές περιοχές λειτουργίας (“0”, “i”, και “1”). Η ενδιάμεση κατάσταση (intermediate state, “i”) είναι ανάμεσα στην ON και την OFF. Σε αυτή την κατάσταση το ρεύμα Απαγωγού (I_D) μεταβάλλεται πολύ λίγο με την τάση Πύλης-Απαγωγού (V_{GS}) δημιουργώντας μια επίπεδη περιοχή στη χαρακτηριστική του τρανζίστορ. Έχουν εξεταστεί διάφορες δομές QDGFET με διαφορετικά στοιχεία στην επαφή την Πύλης, με κάθε μια από της δομές να έχει διαφορετική χαρακτηριστική.

Αυτή η ενδιάμεση κατάσταση των QDGFET δίνει την δυνατότητα να φτιαχτούν ψηφιακά κυκλώματα που μπορούν να επεξεργαστούν περισσότερα bits. Μπορούν να σχεδιαστούν συγκριτές από QDGFET ποιο μικρής διάστασης μέχρι και 16 φορές σε σύγκριση με MOSFET συγκριτές. Με βάση τους QDGFET μπορούν επίσης να φτιαχτούν μετατροπείς ψηφιακού σε αναλογικού σήματος και αντίστροφα.



(a)



(b)

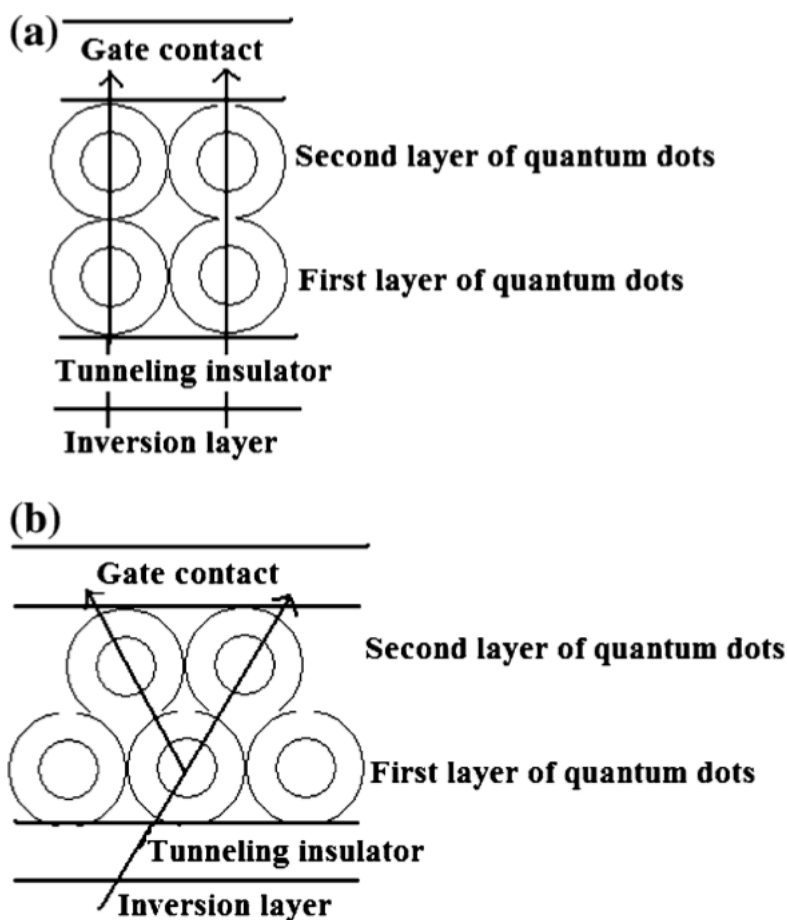
Εικόνα 1-38: Η τρισδιάστατη απεικόνιση (a) και η πλάγια όψη (b) ενός QDGFET

Η παρατήρηση την ενδιάμεσης κατάστασης σε ένα QDGFET μπορεί να εξηγηθεί με το φαινόμενο της σήραγγας, καθώς τα ηλεκτρόνια μεταπηδούν από το επίπεδο αναστροφής στο κανάλι, στις κβαντικές τελείες στην περιοχή της Πύλης. Το φορτίο στις κβαντικές τελείες

υπολογίζεται από το ρυθμό που γίνονται οι μεταπηδήσεις. Ακόμα και αν δεν υπάρχει μεταφορά φορτίου, υπάρχει ακόμα κάποιο φορτίο στην Πύλη, λόγω της παρουσίας των κβαντικών τελειών, το οποίο καθορίζει και την τάση κατωφλίου. Η αλλαγή της τάσης κατωφλίου V_{TH} καθορίζεται από το δυναμικό επιφανείας ψ_B , την διαφορά του έργου εξόδου ανάμεσα στο μέταλλο και το κανάλι και το φορτίο Q_{OX} και η χωρητικότητα του οξειδίου για δεδομένη συγκέντρωση νόθευσης N_A στο πυρίτιο τύπου P.

Η τάση κατωφλίου αυξάνεται με την αύξηση της τάσης στην πύλη, επειδή τα φορτία μεταπηδούν από το κανάλι στην περιοχή της Πύλης. Όταν η τάση στην Πύλη αυξηθεί πάνω από την τάση κατωφλίου, τα ηλεκτρόνια πρώτα μεταφέρονται στο πρώτο επίπεδο από κβαντικές τελείες κοντά στο κανάλι. Αυτό γίνεται γιατί τα επίπεδα φέρμι είναι χαμηλότερα στο πρώτο εσωτερικό επίπεδο. Καθώς η τάση στην Πύλη συνεχίζει και αυξάνεται, τα φορτία μεταφέρονται στο δεύτερο επίπεδο κβαντικών τελειών κοντά στο ηλεκτρόδιο της Πύλης.

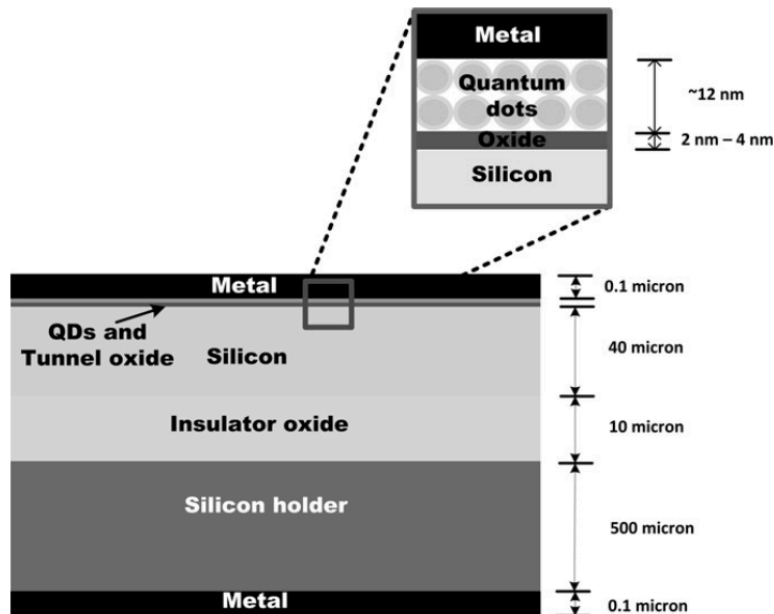
Υπάρχουν δύο τρόποι σύμφωνα με την δημοσίευση των Karmakar, S., Chandy, J.A., Gogna, M. et al. [18] να τοποθετηθούν κβαντικές τελείες. Όπως φαίνεται στην παρακάτω εικόνα 1-38



Εικόνα 1-39: Απευθείας στοίχιση κβαντικών τελειών (a) και στοίχιση ελάχιστης ενέργειας (b)

οι κβαντικές τελείες μπορούν να τοποθετηθούν σε απευθείας στοίχιση και διαγώνια μειώνοντας την ενέργεια που απαιτείται να μεταπήδηση το ηλεκτρόνιο από το ένα επίπεδο στο επόμενο. Και στις δύο περιπτώσεις τα ηλεκτρόνια θα περάσουν από δύο κβαντικά επίπεδα.

Στην δημοσίευσή του οι Karmakar, S., Gogna, et al. [18] παρουσιάζουν την συμπεριφορά ενός QDGFET πάνω σε υπόστρωμα SOI. (Silicon-On-Insulator). Τα υποστρώματα SOI δίνουν το πλεονέκτημα λόγω του λεπτού πάχους που έχουν και χρησιμοποιούνται για εξοικονόμηση χώρου και μπορούν να μειώσουν το πρόβλημα του punch-through. Το πρώτο επίπεδο ενός δίσκου SOI μπορεί είναι υψηλής ποιότητας μονοκρυσταλικό υλικό για καλύτερη απόδοση και για κυκλώματα high-density. Πάνω στο SOI τοποθετήθηκαν Si κβαντικές τελείες με κέλυφος SiO₂ ανάμεσα σε μονωτικό SiO₂ μέταλλο (εικόνα 1-40).

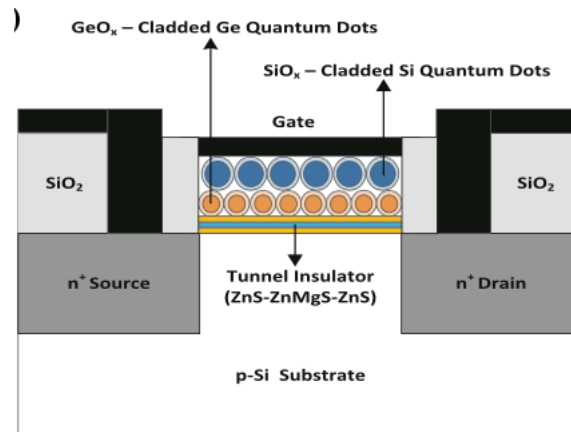


Εικόνα 1-40: Δομή ενός QDGFET πάνω σε υπόστρωμα SOI

Η δομή αυτή προσφέρει βελτιωμένα χαρακτηριστικά όπως αυξήσει το λόγου ρεύματος on-off.

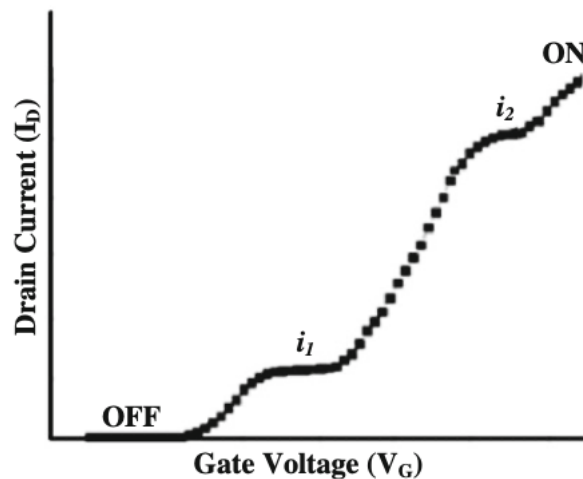
1.5.1 Χρήσεις των QDs στα τρανζίστορ

Η χρήση των κβαντικών στα τρανζίστορ απασχολεί πολλούς ερευνητές παγκοσμίως. Οι Lingalugari, M., Baskar, K., Chan, P.Y. et al [17] μελέτησαν την χρήση δυο στρωμάτων από διαφορετικό είδους κβαντικής τελείας πάνω από το μονωτικό της Πύλης. Το μονωτικό της Πύλης φτιάχνεται από ένα στρώμα ZnMgS ανάμεσα σε δύο στρώματα ZnS προσφέροντας μεγαλύτερο ενεργειακό χάσμα. Παρατηρήθηκαν τέσσερις καταστάσεις με την χρήση δύο συνθέσεων QDs: (1) χρήση Si και Ge κβαντικών τελειών και (2) χρήση Si ή Ge κβαντικών τελειών με διαφορεική διάμετρο του πυρήνα και πάχος το κελύφους στα δύο διαφορετικά στρώματα. Η δομή ενός QDGFET με διαφορετικές κβαντικές τελείες φαίνεται παρακάτω.



Εικόνα 1-41: QDGFET με χρήση διαφορετικών QDs και μονωτικό ZnS-ZnMgS-ZnS

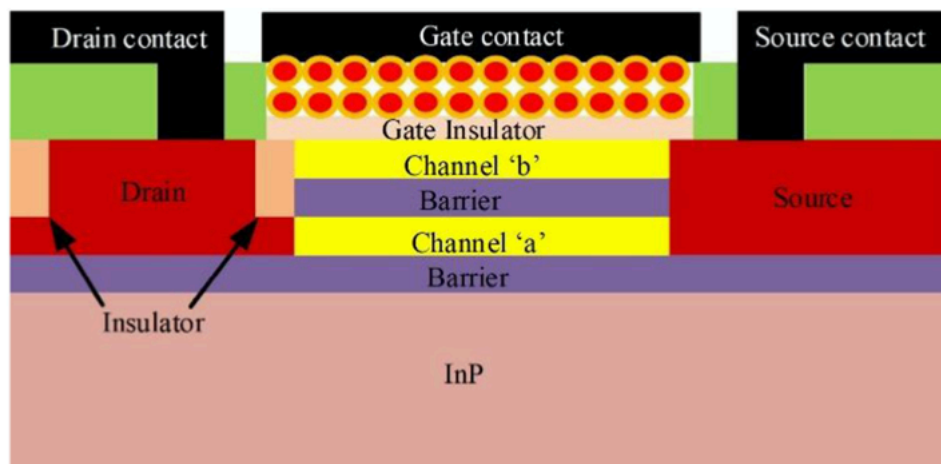
Τα αποτελέσματα της προσομοίωσης δείχναν αυξημένο ρεύμα Απαγωγού και μειωμένο ρεύμα διαρροής λόγω της μεγάλης διηλεκτρικής σταθεράς του ZnMgS. Αυτό είναι χρήσιμο σε εφαρμογές που χρειάζονται ηλεκτρονικά χαμηλή κατανάλωσης.



Εικόνα 1-42: Χαρακτηριστική I-V ενός QDGFET τεσσάρων καταστάσεων.

Ο Karmakar, S [20] παρουσίασε ένα τρανζίστορ το οποίο παρουσιάζει και αυτό τέσσερις καταστάσεις, τροποποιώντας την δομή ενός SWSFET (Spatial Wave function Switched). Οι τέσσερις καταστάσεις μπορούν να επιτευχθούν συνδέοντας τους Απαγωγούς τριών SWSFET. Συνδυάζοντας της ιδιότητες των SWSFET και QDGFET οι τέσσερις καταστάσεις μπορούν να

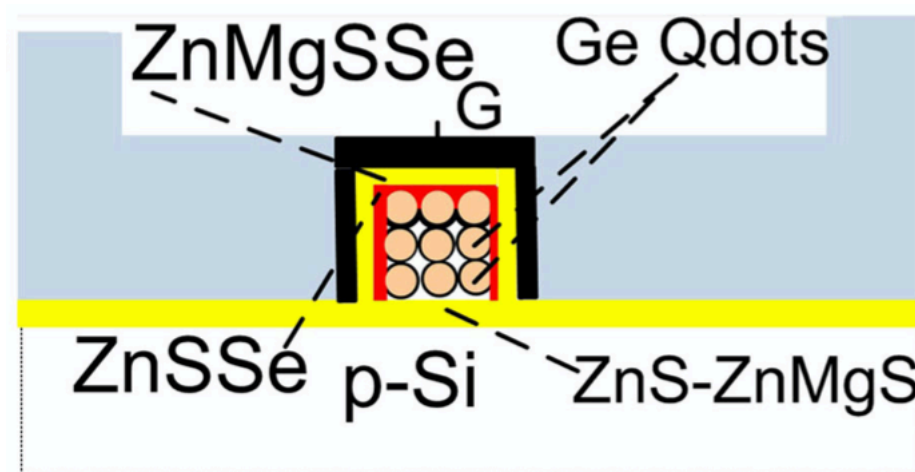
επιτευχθούν φτιάχνοντας ένα QDG-SWSFET. Η δομή ενός QDG-SWSFET φαίνεται στην παρακάτω εικόνα.



Εικόνα 1-43: Η δομή ενός QDG-SWSFET

Η τέσσερις καταστάσεις δημιουργούνται εναποθέτοντας δύο στρώματα κβαντικών τελειών στο μονωτικό της Πύλης, πάνω από από τα δύο κανάλια ενός SWSFET. Με την χρήση συμβατικών τεχνικών CMOS είναι εφικτό να κατασκευαστούν ψηφιακά κυκλώματα τεσσάρων καταστάσεων.

Μια άλλη χρήση των κβαντικών τελειών στα τρανζίστορ είναι το QDCFET (Quantum Dot Channel FET). Οι Jain, F., Lingalugari, M., Kondo, J. et al. δημοσίευσαν μια έρευνα [17] με ένα τροποποιημένο QDCFET όπου το μονωτικό της Πύλης προεκτείνεται προς τα κάτω και ενθυλακώνει το κανάλι. Η δομή του φαίνεται στην παρακάτω εικόνα 1-44.

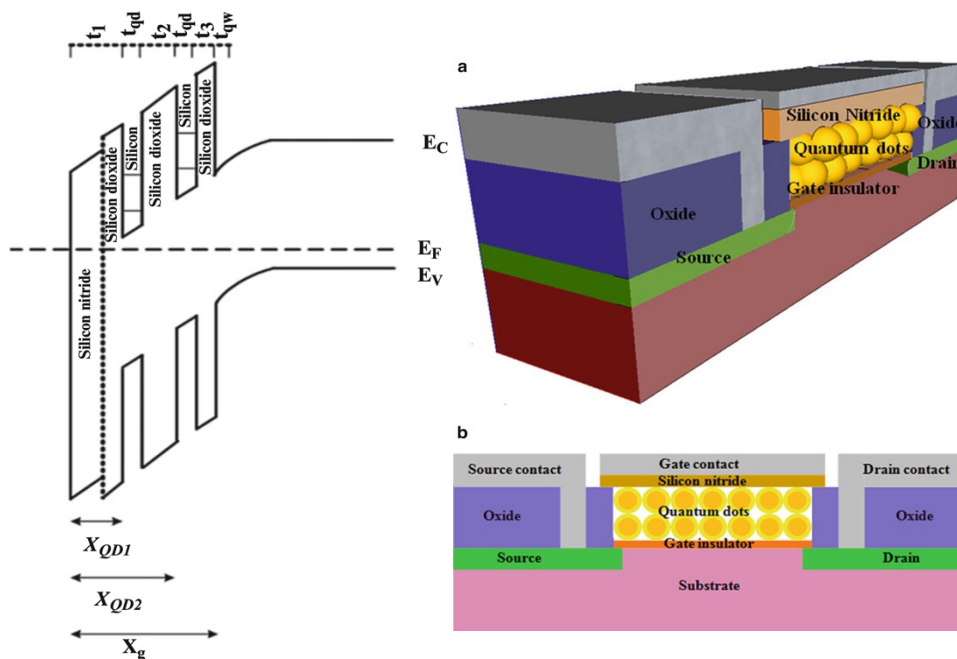


Εικόνα 1-44: Παράδειγμα δομής QDCFET με τυλιγμένο κανάλι από μονωτικά τύπου II-VI

Με τέτοια τροποποίηση μπορεί επίσης να εμφανίσει τέσσερις ή και περισσότερες καταστάσεις στο τρανζίστορ ανάλογα με τα υλικά που θα χρησιμοποιηθούν.

1.5.2 Quantum Dot Gate Nonvolatile Memory (QDNVM)

Σε αυτό το είδος τρανζίστορ η διαφορά με ένα QDGFET είναι η απουσία την μονωτικού υλικού στην Πύλη. Σε ένα QDGFET λόγω της απουσίας του μονωτικού στην Πύλη, δεν μπορεί να συγκρατηθεί κάποιο φορτίο σε αυτήν την περιοχή. Αυτό έχει σαν αποτέλεσμα η τάση κατωφλίου να αλλάζει ανάλογα με την τάση που εφαρμόζεται στην Πύλη πράγμα που δεν συμβαίνει σε μια floating gate μνήμη. Οι ενεργειακές στάθμες σε ένα QDNVM είναι παρόμοιες με ενός QDGFET εκτός από ένα παχύ επίπεδο SiN στο ηλεκτρόδιο της Πύλης έτσι τα ηλεκτρόνια δεν μπορούν να μεταφερθούν από το δεύτερο κβαντικό επίπεδο προς τα έξω. Οι ενεργειακές στάθμες και η δομή φαίνονται στην παρακάτω εικόνα 1-45. Τα ηλεκτρόνια δεν μπορούν να μεταπηδήσουν από το δεύτερο επίπεδο κβαντικών τελειών, στην Πύλη, λόγω του στρώματος SiN.



Εικόνα 1-45: Η δομή (a), η διατομή (b) και το διάγραμμα ενεργειακών σταθμών ενός QDNVM

Η αλλαγή της τάσης κατωφλίου περιγράφεται με τον παρακάτω τύπο:

$$\Delta V_{TH} = \frac{Q}{C} = \frac{\int_0^{t_c} j(t) A dt}{C}$$

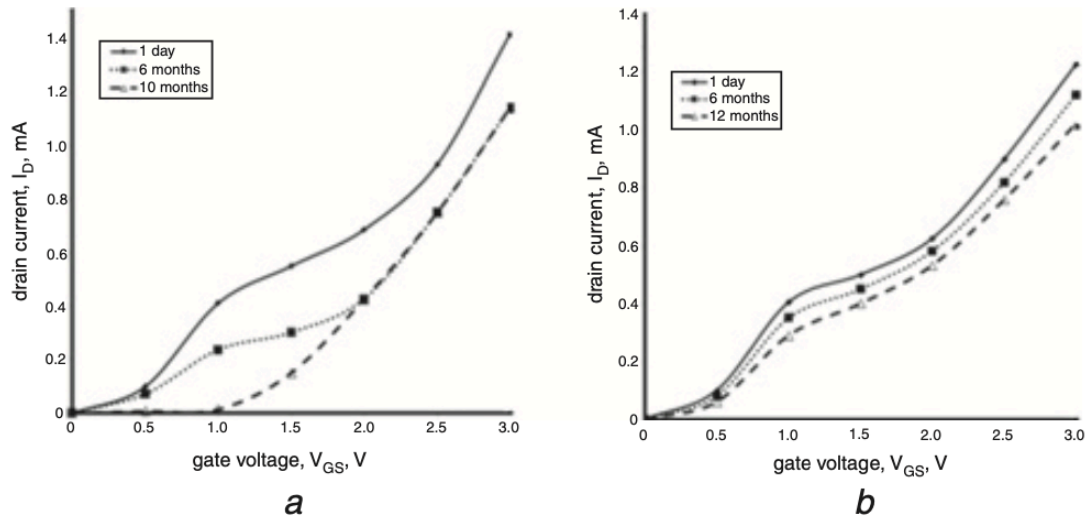
Εξίσωση 1-20

Όπου $j(t) = q * n_{dot} * N_{QD} * P$

Εξίσωση 1-21

Το $j(t)$ είναι η πυκνότητα ρεύματος ανά μονάδα επιφάνειας για το χρόνο φόρτισης t_c των κβαντικών τελειών στην περιοχή της Πύλης. Με A είναι η επιφάνεια του αγωγίμου καναλιού, N_{QD} είναι η πυκνότητα των κβαντικών τελειών, n_{dot} είναι ο αριθμός των ηλεκτρονίων ανά κβαντική τελεία, και P είναι η πιθανότητα μεταπήδησης το φορτίων από το κανάλι στις κβαντικές τελείες.

Η τοποθέτηση του Νιτρίδιου στην Πύλη μπορεί να προσφέρει επιπλέον σταθερότητα. Οι Karimkar, S. Gogna, M. Jain et al. [23] μελέτησαν της χαρακτηριστικές ενός QDGFET με και χωρίς Νιτρίδιο στην Πύλη και παρουσίασαν τις χαρακτηριστικές. Ένα μεγάλο πρόβλημα των κβαντικών τελειών είναι ότι μετά από καιρό παρατηρείται διάσπαση των κβαντικών τελειών με αποτέλεσμα η αλλοιώνεται η συμπεριφορά του QDGFET. Με την τοποθέτηση ενός λεπτού στρώματος SiN (Νιτρίδιο του πυριτίου) πάχους 20 Å οι τρεις καταστάσεις του QDGFET παρατηρούνται και μετά από 10 μήνες. Οι χαρακτηριστικές φαίνονται στην εικόνα 1-46.

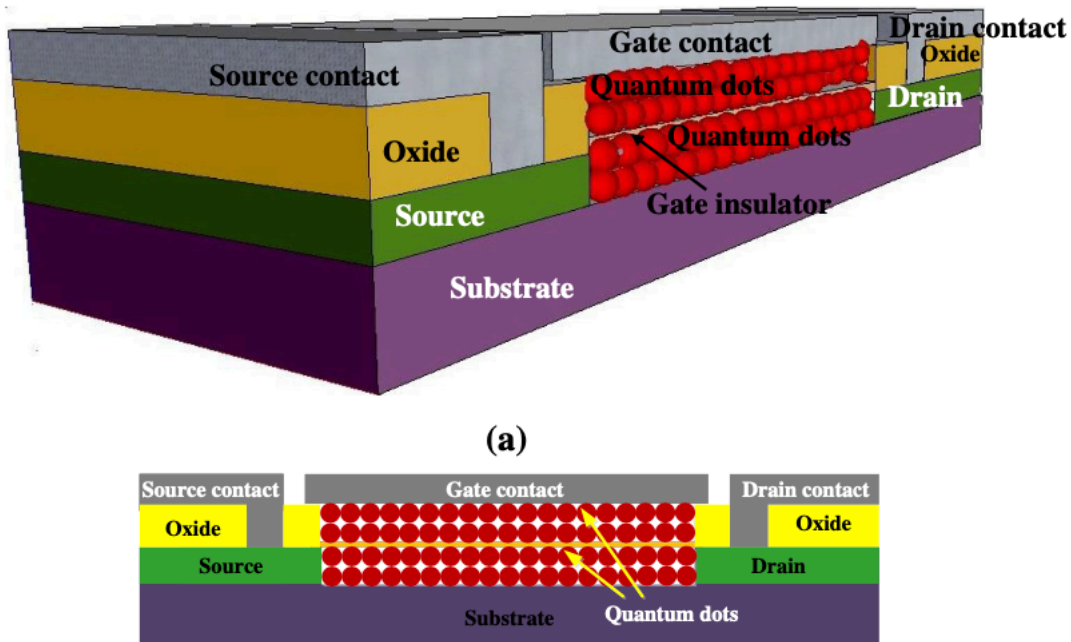


Εικόνα 1-46: Χαρακτηριστικές απλού QDGFET (a) και βελτιωμένου QDGFET (b)

Επειδή δεν υπάρχει μονωτικό υλικό στην περιοχή του μετάλλου της Πύλης στο συμβατικό QDGFET, οι κβαντικές τελείες είναι συνδεδεμένες απευθείας με το μέταλλο και επηρεάζονται κατά την διάρκεια της ανόπτησης στην κατασκευή. Το λεπτό στρώμα SiN βοηθάει στην προστασία των κβαντικών τελειών καθ' όλη την διάρκεια και το κέλυφός τους δεν επηρεάζεται, κάνοντάς τες πιο σταθερές από ένα συμβατικό QDGFET.

1.5.3 Quantum Dot Gate - Quantum Dot Channel Field Effect Transistor (QDCFET)

Ένα QDG-QDCFET διαφέρει από ένα QDGFET στην δομή του καναλιού. Σε ένα QDGFET το κανάλι αποτελείται από το ημιαγώγιμο υλικό του υποστρώματος ενώ σε ένα QDG-QDCFET η περιοχή του καναλιού σχηματίζεται από κβαντικές τελείες. Πάνω από το κανάλι σχηματίζεται ένα μονωτικό υλικό (SiO₂ ή διηλεκτρικό υψηλής διηλεκτρικής σταθεράς με ταίριασμα πλέγματος). Πάνω από το μονωτικό σχηματίζονται δύο ή περισσότερα επίπεδα από κβαντικές τελείες με κέλυφος SiO_x cladded-Si ή GeO_x cladded-Ge. Ο Απαγωγός και η Πηγή σχηματίζονται όπως ένα συμβατικό FET. Η δομή του φαίνεται στην παρακάτω εικόνα 1-22.

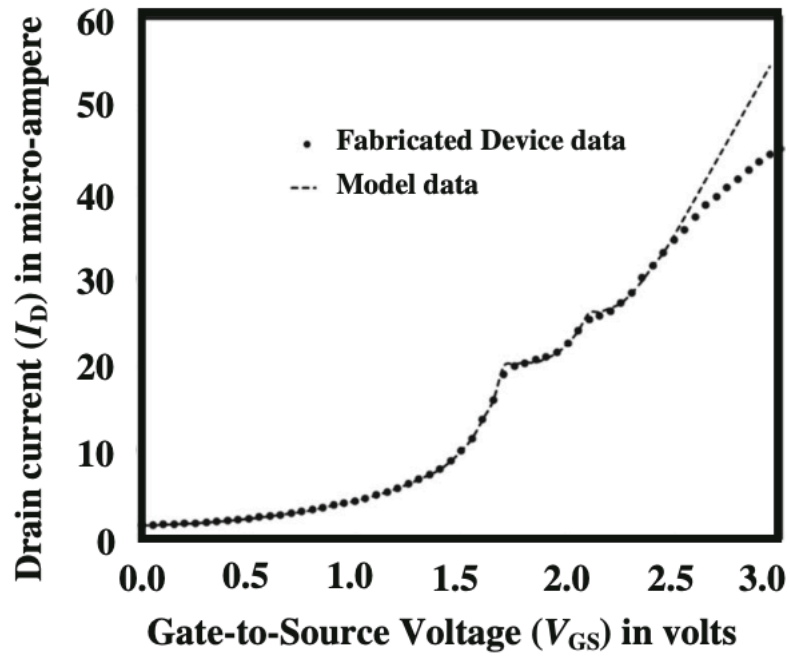


Εικόνα 1-47: Η δομή ενός QDG-QDCFET

Λόγο της απουσίας μονωτικού στρώματος στην περιοχή της επαφής της Πύλης, το φορτίο μπορεί να δραπετεύσει και δεν αποθηκεύεται στην Πύλη. Παρατηρείται ότι τέτοιες δομές στις οποίες υπάρχουν κβαντικές τελείες στο κανάλι και χωρίς εξωτερικό στρώμα από Νιτρίδιο παρουσιάζουν τέσσερις καταστάσεις. Η τάση κατωφλίου σε ένα QDG-QDCFET εξαρτάται από το αριθμό των επιπέδων των κβαντικών τελειών στην περιοχή του καναλιού καθώς επίσης και στην περιοχή της Πύλης. Σε αυτή την περίπτωση, η ενεργή τάση κατωφλίου χωρίζεται σε τρεις περιοχές που αναπαριστά της τρεις περιοχές της χαρακτηριστικής μεταφοράς εικόνα 1-23. Η πρώτη περιοχή είναι η OFF κατάσταση, η δεύτερη περιοχή είναι η χαμηλή ενδιάμεση κατάσταση, η τρίτη η πάνω ενδιάμεση κατάσταση. Μετά ακολουθεί η ON κατάσταση που το QDG-QDCFET άγει κανονικά.

$$V_{Teff} = \begin{cases} V_{TH} & V_{GS} < V_{TH1} \\ V_{TH} + a_1(V_{GS} - V_{TH1}) & V_{TH1} < V_{GS} < V_{TH2} \\ V_{TH} + a_1(V_{TH2} - V_{TH1}) & V_{TH2} < V_{GS} < V_{TH3} \\ V_{TH} + a_1(V_{TH2} - V_{TH1}) + a_2(V_{GS} - V_{TH3}) & V_{TH3} < V_{GS} < V_{TH4} \\ V_{TH} + a_1(V_{TH2} - V_{TH1}) + a_2(V_{TH4} - V_{TH3}) & V_{GS} < V_{TH4} \end{cases}$$

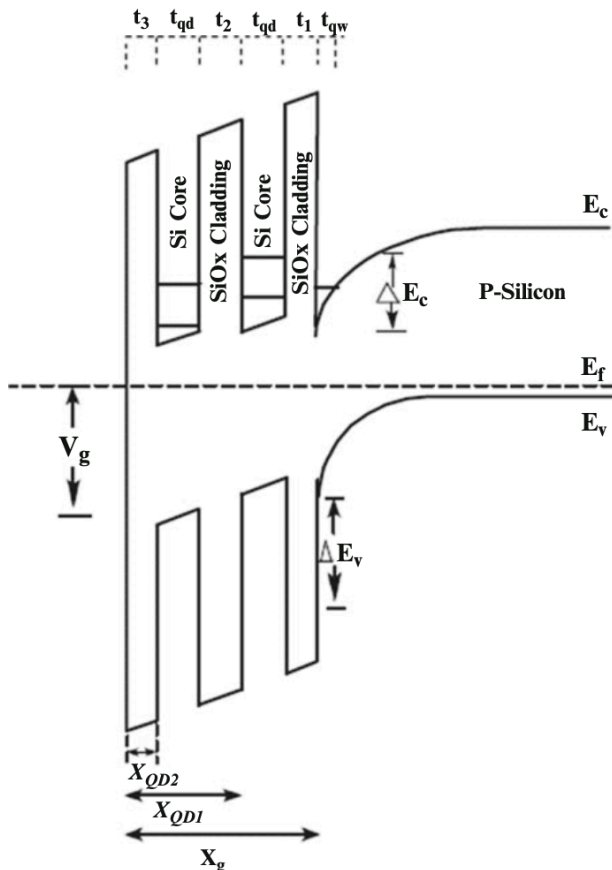
Εξίσωση 1-22



Εικόνα 1-48: Χαρακτηριστική μεταφοράς για το μοντέλο και για το πειραματικό QDG-QDCFET

1.5.4 SiO_x-Cladded Si Quantum Dots on Top of SiO₂ Tunnel Gate Insulator

Αυτή η δομή είναι ποιο κοντά στην δομή του κλασσικού MOSFET. Οι νανοκρυσταλλίτες σε αυτήν την δομή τοποθετούνται στην περιοχή την πύλης, επάνω από τον μονωτικό υλικό που είναι οξείδιο του πυριτίου και έρχονται σε επαφή κατευθείαν με το ηλεκτρόδιο της Πύλης. Οι νανοκρυσταλλίτες είναι από πυρίτιο, και το μονωτικό υλικό από διοξείδιο του πυριτίου πάχους 20- Å. Στην εικόνα 1-49 απεικονίζονται οι ενεργειακές στάθμες ενός QDGFET με SiO₂ για μονωτικό και νανοκρυσταλλίτες από Si και μανδύα από SiO_x, και το κανάλι είναι πυρίτιο τύπου



Εικόνα 1-49: Διάγραμμα Ενεργειακών σταθμών SiO_x-Cladded Si Quantum Dots on Top of SiO₂ Tunnel Gate Insulator

P. Τα δύο στρώματα των νανοκρυσταλλιτών σχηματίζουν τις «χαράδρες» στις στάθμες (Si Core, t_{qd}), που εκεί παγιδεύονται τα ηλεκτρόνια με το φαινόμενο σήραγγας που αναφέραμε. Οι περιοχές t_3 , t_2 , t_1 αντικατοπτρίζουν τον μανδύα των νανοκρυσταλλιτών. Η περιοχή t_{qw} είναι η περιοχή αντιστροφής.

Καθώς αυξάνεται η τάση στην Πύλη και ξεπερνάει την τάση κατωφλίου, τα ηλεκτρόνια από το κανάλι αρχικά μεταπηδάνε στο πρώτο στρώμα από νανοκρυσταλλίτες, με το φαινόμενο σήραγγας. Αυτό γίνεται επειδή η στάθμη είναι χαμηλότερη στο πρώτο στρώμα. Καθώς αυξάνουμε την τάση περισσότερο, τα φορτία μεταφέρονται από το πρώτο στρώμα, στο δεύτερο κοντά στο ηλεκτρόδιο. Το QDGFET βρίσκεται στην ενδιάμεση κατάσταση όταν τα ηλεκτρόνια βρίσκονται σε μια κατάσταση όπου μεταπηδούν από το κανάλι σε ένα από τα δύο στρώματα νανοκρυσταλλιτών. Τα φορτία που μεταφέρονται ορίζουν και την τάση κατωφλίου του QDGFET και υπολογίζεται από το τύπο:

$$V_{TH} = V_{FB} + \frac{1}{C_{ox}} q N_A \sqrt{\frac{2 \epsilon_{sr} \epsilon_o (2 \psi_B + V_x)}{q N_A}} + 2 \psi_B$$

Εξίσωση 1-23

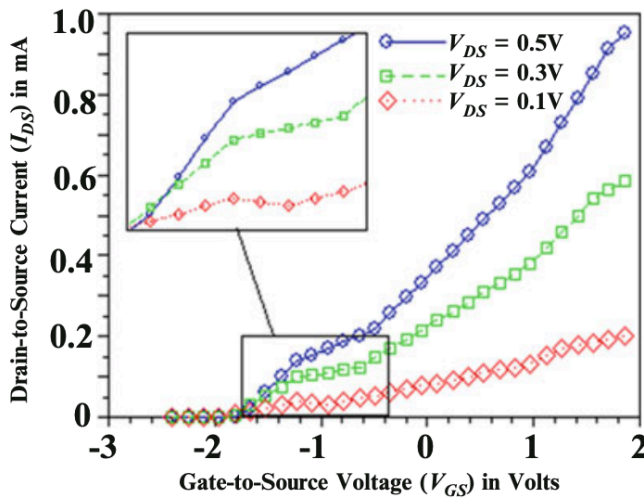
$$V_{FB} = \varphi_{ms} - \frac{Q_{ox}}{C_{ox}}$$

Εξίσωση 1-24

$$\psi_B = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

Εξίσωση 1-25

Η αλλαγή στην τάση κατωφλίου V_{TH} εξαρτάται από το δυναμικό επιφάνειας, την διαφορά των έργων εξόδου του μετάλλου και του καναλιού φ_{ms} , το φορτίο του οξειδίου Q_{ox} και την χωρητικότητα του οξειδίου C_{ox} για νόθευση N_A στο πυρίτιο τύπου P. Αυτό το φορτίο κατανέμεται στην διεπαφή των νανοκρυσταλλινών κοντά στο κανάλι.



Εικόνα 1-50: Χαρακτηριστική I-V ενός QDGFET για διαφορετικές τάσεις V_{DS} [12]

Η τάση κατωφλίου αυξάνεται καθώς αυξάνεται η τάση στην Πύλη εξαιτίας των φορτίων που συσσωρεύονται στους νανοκρυσταλλίτες μετατοπίζοντας την ενεργειακή στάθμη προς τα κάτω.

Το ρεύμα του Απαγωγού μπορεί να υπολογιστεί από το τύπο:

$$I_D = \left(\frac{W}{L}\right) C_{ox} \mu_n \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Εξίσωση 1-26

Η μεταβολή της τάσης κατωφλίου προκαλεί μικρή αύξηση στο ρεύμα Απαγωγού λόγω του όρου $(V_{GS} - V_{TH})$ ο οποίος παραμένει σταθερός. Από την άλλη, επίδραση της αύξησης της τάσης στην Πύλη σχεδόν ακυρώνεται λόγω της αύξησης της τάσης κατωφλίου και έτσι το ρεύμα σε μια περιοχή παραμένει σταθερό και δημιουργείται η ενδιάμεση κατάσταση. Η περιοχή για την οποία έχουμε την ενδιάμεση κατάσταση εξαρτάται από την σχετική θέση των ενεργειακών σταθμών των νανοκρυσταλλινών σε σχέση με τις ενεργειακές στάθμες της περιοχής αντιστροφής στο κανάλι.

2 Η VHDL-AMS [13] [14] [15]

2.1 Γλώσσες περιγραφής υλικού

Οι γλώσσες περιγραφής υλικού (Hardware Description Languages, HDL's) είναι γλώσσες προγραμματισμού οι οποίες είναι σχεδιασμένες να περιγράφουν την συμπεριφορά φυσικών εξαρτημάτων και διεργασιών. Αυτή η διαδικασία ονομάζεται μοντελοποίηση (modeling). Τα μοντέλα γραμμένα σε HDL's έπειτα χρησιμοποιούνται σαν είσοδοι σε κατάλληλους προσομοιωτές (simulators) για να αναλυθεί η συμπεριφορά τους.

Οι σύγχρονες HDL's υποστηρίζουν περιγραφές συμπεριφοράς ενός μοντέλου και περιγραφές δομής ενός συστήματος. Η περιγραφή δομής επιτρέπει να φτιαχτούν μοντέλα από άλλα μοντέλα που έχουν ήδη φτιαχτεί και είναι αποθηκευμένα σε μια κοινή βιβλιοθήκη. Η περιγραφή συμπεριφοράς από την άλλη, επιτρέπει να περιγράψουμε την λειτουργία ενός υποσυστήματος σε διάφορα επίπεδα περιγραφής: πολύ λεπτομερείς, εξαιρετικά λεπτομερείς ή κάτι ενδιάμεσο.

Οι HDL's χωρίζονται σε ψηφιακών, αναλογικών και μικτών σημάτων. Οι HDL's ψηφιακών όπως η VHDL και η Verilog είναι βασισμένες σε τεχνικές που περιγράφουν συμβάντα και μοντέλα διακριτού χρόνου. Υποστηρίζουν μοντελοποίηση ψηφιακών κυκλωμάτων σε επίπεδο περιγραφής, μέχρι και το επίπεδο ψηφιακών πυλών. Οι HDL's αναλογικών υποστηρίζουν την περιγραφή συστημάτων διαφορικών και αλγεβρικών εξισώσεων (DAE's).

Οι HDL's μικτών σημάτων υποστηρίζουν και περιγραφή συμβάντων και διαφορικές/αλγεβρικές εξισώσεις. Μερικές HDL's μικτών σημάτων είναι η MAST, HDL-A, Verilog-AMS και η VHDL-AMS που θα χρησιμοποιήσουμε για την μοντελοποίηση.

2.2 Χαρακτηριστικά της VHDL-AMS

VHDL-AMS είναι μια παράγωγη γλώσσα της VHDL 1076-1993. Αυτό σημαίνει ότι έχει τα ίδια χαρακτηριστικά με την VHDL 1076-1993 αλλά και επίσης κάποια επιπλέον. Η VHDL 1076-1993 είναι ευρέως γνωστή για σχεδίαση ηλεκτρονικών σε επίπεδο περιγραφής και προσομοίωσης.

Για το προγραμματισμό, το κύριο μέρος της VHDL-AMS είναι το σχεδιαστικό μέρος (design unit). Υπάρχουν δυο κλάσεις του σχεδιαστικού μέρους, πρωτεύων και δευτερεύων. Στην πρωτεύων κλάση είναι η ενότητα που ορίζεται η (Οντότητα) Entity, το (Πακέτο) Package και η Διαμόρφωση (Configuration). Τα δευτερεύοντα μέρη της σχεδίασης εξαρτώνται κατά ένα τρόπο από το πρωτεύων μέρος σχεδίασης και είναι η Αρχιτεκτονική (Architecture) και το Σώμα του Πακέτου (Package Body). Η VHDL-AMS επιτρέπει τον σχεδιασμό του μοντέλου ενός συστήματος ιεραρχικά, δηλαδή από το ποιο απλό κομμάτι στο ποιο σύνθετο. Αυτό το επιτυγχάνει με την χρήση μπλοκς. Η περιγραφή της διεπαφής ενός μπλοκ μαζί με τις σχετισμένες περιγραφές της δομής ή της συμπεριφοράς ορίζει το Entity. Ένα Entity εκπροσωπεί ένα μοντέλο ενός μπλοκ. Το μπλοκ αυτό έχει μια περιγραφή για τις διεπαφές του και μια αρχιτεκτονική. Για το κάθε μπλοκ μπορούν να οριστούν διαφορετικά μοντέλα, που όλα έχουν την ίδια διεπαφή αλλά μπορεί να έχουν διαφορετική αρχιτεκτονική.

2.2.1 Διαφορικές και αλγεβρικές εξισώσεις

Η συνεχής συμπεριφορά ενός συστήματος στο χρόνο μπορεί να περιγραφεί με την VHDL-AMS χρησιμοποιώντας σύστημα από απλές διαφορικές-αλγεβρικές εξισώσεις (DAE's) της μορφής:

$$F(x, dx/dt, t) = 0$$

Όπου το F είναι ένα διάνυσμα με εξισώσεις, το x είναι διάνυσμα αγνώστων, το dx/dt είναι διάνυσμα της παραγώγου το αγνώστου σε σχέση με το χρόνο, και t είναι ο χρόνος. Πολλά συστήματα εξισώσεων δεν έχουν αναλυτική λύση, για αυτό στην πραγματικότητα η λύση πρέπει να προσεγγίζεται με διάφορες τεχνικές. Στην VHDL-AMS υπάρχει ένας αλγόριθμος που ονομάζεται αναλογικός επιλυτής (analog solver) και αποφασίζει τι είδους DAE's θα χρησιμοποιήσει για να φέρει καλύτερο αποτέλεσμα. Την απόφαση αυτή την λαμβάνει βασισμένος πάνω στο μοντέλο που έχει σχεδιαστεί και τι εξισώσεις χρησιμοποιήθηκαν για να το περιγράψουν.

2.2.2 Η σχεδιαστική μονάδα της Οντότητας

Η δήλωση του Entity είναι η περιγραφή της διεπαφής στην οποία ορίζουμε πως αυτή θα επικοινωνεί με το περιβάλλον στο οποίο χρησιμοποιείται. Στην VHDL-AMS οι συνδέσεις ενός μπλοκ ονομάζονται ports. Στην δήλωση του Entity ορίζουμε τις Πύλες (Ports) και τις Παραμέτρους (Parameters). Στις Παραμέτρους ορίζουμε τα ονόματα και τους τύπου των σταθερών που θα χρησιμοποιηθούν στην αρχιτεκτονική του μπλοκ. Η λίστα με των Πυλών ορίζει ονόματα, κατευθύνσεις και τύπους των καναλιών για την επικοινωνία του μπλοκ με το περιβάλλον του.

Τα τρία είδη των ports είναι:

- Signal ports για ψηφιακά σήματα με τρόπους λειτουργίας ως in, out, inout ή buffer. (Όπως και στην VHDL)
- Quantity ports για αναλογικά σήματα με τρόπου λειτουργίας ως in και out.
- Terminal ports τα οποία χρησιμοποιούνται σαν κόμβοι όπου μπορούμε να παίρνουμε σήματα τα οποία δηλώνουν ροή και διαφορά δύο σημείων.

Όπως και σε άλλες γλώσσες προγραμματισμού, τα αναγνωριστικά (identifiers) δεν θα πρέπει να είναι λέξεις που χρησιμοποιεί η VHDL-AMS όπως out,in. Η VHDL-AMS όπως και η VHDL δεν είναι case sensitive που σημαίνει ότι δεν καταλαβαίνει διαφορά ανάμεσα σε κεφαλαία και μικρά γράμματα. Τα αναγνωριστικά θα πρέπει να ξεκινούν με ένα γράμμα του αλφαβήτου και έπειτα μπορούμε να βάλουμε γράμμα, αριθμό ή κάτω παύλα ('_'). Δεν θα πρέπει όμως να τελειώνει το αναγνωριστικό κάτω παύλα.

2.2.3 Η σχεδιαστική μονάδα της Αρχιτεκτονικής

Μια Αρχιτεκτονική που συσχετίζεται με μια Οντότητα περιγράφει την εσωτερική οργάνωση ή λειτουργία μιας σχεδιαστικής μονάδας. Περιγράφει την συμπεριφορά, την ροή των δεδομένων ή την δομή. Αυτό γίνεται με δύο τρόπου προγραμματισμού που ονομάζονται concurrent και simultaneous δηλώσεις. Στις concurrent δηλώσεις, όπου προέρχονται από την VHDL, περιγράφουμε ψηφιακά σήματα διακριτού χρόνου (signals), όπου οι τιμές τους ανανεώνονται μετά από συγκεκριμένα χρονικά διάστημα. Από την άλλη στην simultaneous, περιγράφουμε αναλογικά σήματα συνεχούς χρόνου. Τα σήματα αυτά περιγράφονται από σχέσεις και τύπους μεταξύ των quantities. Είναι εφικτό όμως τα quantities να διαβάζονται και σε concurrent δηλώσεις και τα signals να διαβάζονται από simultaneous δηλώσεις. Αυτό δίνει την δυνατότητα στην VHDL-AMS να είναι γλώσσα για σχεδιάσεις μικτών σημάτων. Σε επόμενο κεφάλαιο θα αναφερθούμε ποιο αναλυτικά σε αυτούς τους δύο τύπους δηλώσεων και πώς αντιμετωπίζονται από τον αναλογικό επιλυτή.

2.2.4 Η σχεδιαστική μονάδα του Πακέτου

Μια δήλωση πακέτου περιέχει δηλώσεις τύπων δεδομένων, υπο-προγραμμάτων, αρχείων κ.α.. Με αυτό το τρόπο αποφεύγεται η επανάληψη μέρος του κώδικά. Το κύριο πακέτο είναι το STANDARD με δηλώσεις πρότυπων τύπων όπως REAL, BOOLEAN κ.α..

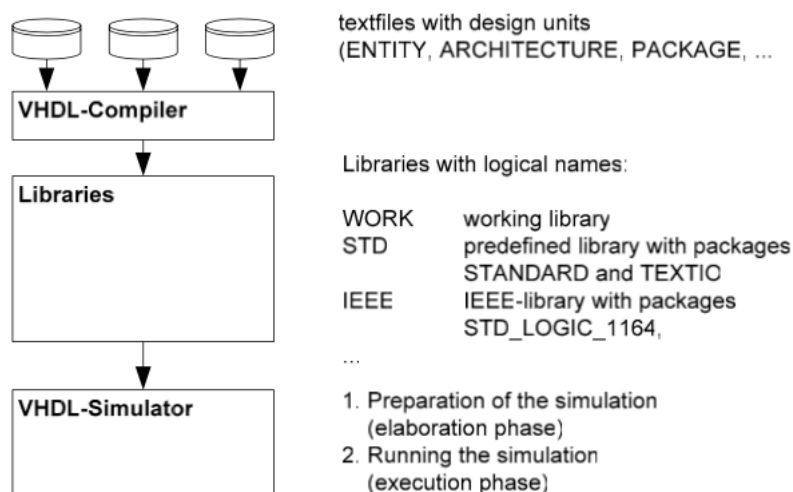
Επίσης το σώμα του πακέτου περιέχει τα κρυμμένα μέρη ενός πακέτου. Για παράδειγμα η δήλωση της διεπαφής ενός υπό-προγράμματος περιγράφεται στην δήλωση πακέτου. Το σώμα του πακέτου περιέχει όλο τον κώδικα του υπό-προγράμματος που θα εκτελεστεί όταν καλέσουμε αυτό το πακέτο.

2.2.5 Βιβλιοθήκες και μεταγλώττιση του προγράμματος

Η σχεδιαστικές μονάδες μεταφράζονται σε βιβλιοθήκες οι οποίες περιλαμβάνουν την ανάλυση του κώδικα και την δημιουργία ενός ενδιάμεσου κώδικα. Ουσιαστικά οι βιβλιοθήκες αποτελούνται από πακέτα που έχουμε δημιουργήσει. Στην VHDL-AMS υπάρχουν αρκετά είδη βιβλιοθηκών και πολλές μπορούν να χρησιμοποιηθούν ώστε να βοηθήσουν στο σχεδιασμό αφού έχουν έτοιμες συναρτήσεις. Στην βιβλιοθήκη WORK συνήθως γίνεται η μεταγλώττιση των σχεδιασμένων μονάδων. Επιπλέον υπάρχουν οι βιβλιοθήκες STD και IEEE. Η βιβλιοθήκη STD περιέχει τα πακέτα STANDARD και TEXTIO, και προ δηλωμένους τύπους, υπο τύπους και συναρτήσεις. Στην VHDL-AMS υπάρχουν επιπλέον τύποι δεδομένων από την απλή VHDL. Υπάρχει ο τύπος DOMAIN_TYPE που παίρνει αριθμητικές τιμές και ο οποίος χρησιμοποιείται από την μηχανή προσομοίωσης. Χρησιμοποιείται από μοντέλα τα οποία η συμπεριφορά τους δεν είναι ίδια σε διαφορετικά πεδία. Η συνάρτηση NOW είναι επίσης αποκλειστικά στην VHDL-AMS και επιστρέφει χρόνο. Το είδος του χρόνου που θα επιστρέψει εξαρτάται από το τρόπο που θα την καλέσεις. Επίσης υπάρχει και ο τύπος REAL_VECTOR. Η βιβλιοθήκη IEEE περιέχει πακέτα όπως το STD_LOGIC_1164 το οποίο έχει προ δηλωμένους τύπους που χρησιμοποιούνται σε λογικά συστήματα. Για παράδειγμα η κατάσταση ενός bit μπορεί να έχει τιμές “0”, “1”, “Z”, “X” κλπ. Πακέτα όπως MATH_REAL και MATH_COMPLEX με τύπος αριθμών, περίπλοκους τύπους αριθμών, σταθερές και συναρτήσεις μαθηματικών. Και πακέτα όπως ELECTRICAL_SYSTEMS, MECHANICAL_SYSTEMS και THERMAL_SYSTEMS που περιέχουν δηλώσεις των ανάλογων τομέων.

2.2.6 Κανόνες και σειρά της ανάλυσης των design units

Για την δημιουργία μια προσομοίωσης συνήθως ακολουθούμε κάποιους κανόνες ώστε να υπάρχει μια συνέχεια και να μην μπερδεύονται οι σχεδιάσεις. Αρχικά δημιουργούμε ένα αρχείο κειμένου για κάθε σχεδιαστική μονάδα αν γίνεται. Μια εξαίρεση σε αυτό είναι όταν θέλουμε να φτιάξουμε ένα μπάγκο δοκιμής (test-bench). Αυτό είναι προγραμματισμός σε υψηλό επίπεδο αφού δεν περιγράφουμε κάποια λειτουργία αλλά πώς θα συνδεθούν οι σχεδιάσεις που έχουμε φτιάξει. Στην συνέχεια πρέπει να γίνει η μεταγλώττιση με την σωστή σειρά. Μια σχεδιαστική

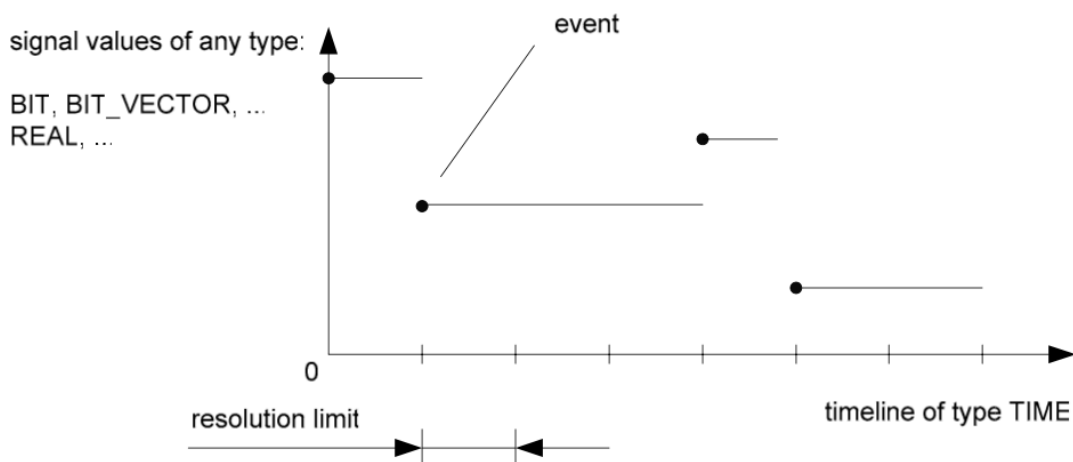


Εικόνα 2-1: Ανάλυση της σχεδιαστικής μονάδας [14]

μονάδα που χρησιμοποιείται σε μια άλλη σχεδιαστική μονάδα θα πρέπει να αναλυθεί πρώτη. Εάν μια σχεδιαστική μονάδα αλλάξει τότε όλες οι βιβλιοθήκες που την χρησιμοποιούν θα πρέπει να ξανά αναλυθούν προτού χρησιμοποιηθούν πάλι. Μόλις ολοκληρωθούν όλες οι αναλύσεις των σχεδιαστικών μονάδων ξεκινάει η προσομοίωση της υλοποίησης.

2.3 Concurrent Δηλώσεις

Ένα σήμα, στην VHDL-AMS, είναι ένα αντικείμενο το οποίο έχει ένα ιστορικό με τιμές και θεωρείται μια κυματομορφή διακριτού χρόνου. Τα εύρη και οι τομείς μιας τέτοιας κυματομορφής έχουν δύο κύριες ιδιότητες. Η πρώτη είναι ότι οι τιμές μπορεί να είναι οποιοδήποτε τύπου δεδομένων, όπως BIT, BIT_VECTOR, BOOLEAN, REAL ή INTEGER. Επίσης μπορεί να πάρει και καινούργιους τύπους τιμών δηλωμένους από τον χρήστη. Η δεύτερη ιδιότητα είναι ότι το χρονοδιάγραμμα όλων των σημάτων είναι τύπος TIME. Οι τιμές που θα παίρνει ο τύπος TIME εξαρτάται από την ανάλυση που θα του έχουμε ορίσει εμείς. Για να ανανεωθεί μια τιμή σε ένα σήμα λέμε ότι συμβαίνει ένα γεγονός (event). Ανάμεσα σε δύο γεγονότα η τιμή του σήματος παραμένει σταθερή. Τα σήματα μπορούν να δηλωθούν στο κομμάτι των δηλώσεων στην αρχιτεκτονική της σχεδίασης και οι αρχικές τιμές εξαρτώνται από το τύπο του σήματος ή μπορούν να δηλώσουμε αρχικές τιμές.



Εικόνα 2-2: Η μεταβλητή Signal στην VHDL [14]

2.3.1 Event-driven simulation

Όπως είδαμε τα σήματα δεν ανανεώνονται αυτόματα αλλά μόλις γίνει ένα συγκεκριμένο γεγονός. Ένας κατάλληλος αλγόριθμος για τα σήματα είναι ο αλγόριθμος προσομοίωσης event-driven. Αυτός ο αλγόριθμος διαχειρίζεται τα σήματα μόνο όταν έχουν αλλάξει τιμή και όχι σε άλλες χρονικές στιγμές. Με αυτό το τρόπο εξοικονομεί υπολογιστικό χρόνο. Ο τρόπος που αλλάζουν οι τιμές στα σήματα είναι με concurrent δηλώσεις. Οι concurrent δηλώσεις έχουν την μορφή:

$$\text{signal_name} \leq \text{expression};$$

Όπου το *signal_name* είναι ο προορισμός της concurrent δήλωσης και το *expression* είναι η συνθήκη που εκφράζει τι θα κάνει το σήμα. Για παράδειγμα μπορούμε να ορίσουμε μια τιμή του σήματος αλλά να του δώσουμε και μια καθυστέρηση που θα γίνει η αλλαγή. Υπάρχουν δύο είδη καθυστερήσεων στην VHDL-AMS, οι inertial και transport καθυστερήσεις. Στην πρώτη

καθυστέρηση, η οποία αλλαγή του σήματος υπολογίζεται με τις τιμές που έχουν οι μεταβλητές την στιγμή που τελειώνει η καθυστέρηση. Ενώ στην δεύτερη καθυστέρηση η αλλαγή υπολογίζεται αμέσως και μπαίνει σε μια σειρά, και θα αλλάξει τιμή μόλις τελειώσει η καθυστέρηση. Αναφορικά, άλλες concurrent δηλώσεις στην VHDL-AMS είναι:

- Concurrent conditional assignment
- Selected signal assignment
- Procedure call
- Assertion
- Instantiation
- Process

2.4 Simultaneous Statements

Οι ταυτόχρονες δηλώσεις είναι καινούργια κλάση στην VHDL-AMS για να εισάγουμε διαφορικές και αλγεβρικές εξισώσεις. Οι ταυτόχρονες δηλώσεις μπορούν να περιέχουν τις ίδιες εκφράσεις που χρησιμοποιούνται και στην VHDL και υπολογίζονται με τον ίδιο τρόπο. Μια ταυτόχρονη δήλωση έχει την μορφή:

[label:] expression=expression

Όπου οι αγκύλες είναι προαιρετικές. Οι εκφράσεις μπορούν να έχουν περίπλοκη μορφή όπου σε αυτή την περίπτωση ο κάθε όρος της αριστερής μεριάς θα πρέπει να έχει έναν ανάλογο όρο από τη δεξιά μεριά. Η εκφράσεις αυτές μπορεί να αναφέρονται σε σήματα, ποσότητες, σταθερές και συναρτήσεις.

Άλλοι τρόποι για να εισάγουμε ταυτόχρονες δηλώσεις είναι με if και case συντάξεις που διαφέρουν λίγο από αυτές της concurrent δήλωση.

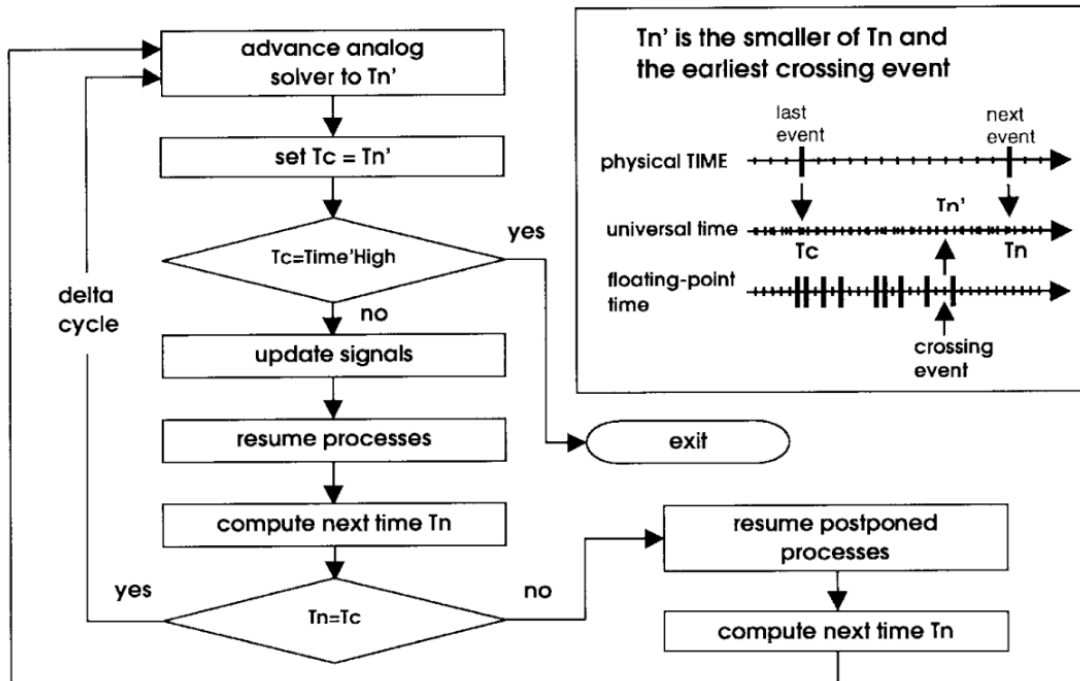
2.5 Περιγραφή Συντηρητικών Συστημάτων

Η έννοια του συντηρητικού συστήματος περιγράφει τα αναλογικά μέρη ενός συστήματος. Ένα μοντελοποιημένο συντηρητικό σύστημα μπορεί να είναι κάτι που περιγράφεται με διαφορικές ή αλγεβρικές εξισώσεις όπου οι τιμές εξαρτώνται από την μεταβλητή του χρόνου. Για ηλεκτρικά συστήματα χρησιμοποιείται ένα ειδικό είδος συντηρητικών συστημάτων. Η δομή ενός τέτοιου συστήματος χαρακτηρίζεται από κόμβους και κλάδους. Οι κλάδοι αυτοί περιγράφονται από ποσότητες που δηλώνουν ροή (through quantities) και διαφορά δύο σημείων (across quantities). Οι τιμές αυτών των ποσοτήτων υπολογίζονται με την βοήθεια έτοιμων συναρτήσεων και πρέπει να ισχύουν και οι ανάλογοι νόμοι. Για ηλεκτρικά συστήματα έχουμε για παράδειγμα τον νόμο ρευμάτων και νόμο τάσεων του Kirchhoff.

2.6 VHDL-AMS κύκλος προσομοίωσης

Κατά την διάρκεια μια προσομοίωσης στο πεδίο του χρόνου, ο προσομοιωτής εκτελεί πολύ γρήγορα το διάγραμμα ροής που φαίνεται στην παρακάτω εικόνα 2-3. Το T_c είναι ο παρόν χρόνος, T_n είναι η επόμενη χρονική στιγμή και T'_n είναι η προσαρμοσμένη επόμενη στιγμή. Το T'_n είναι ίσο με T_n , εκτός και αν υπάρχει κάποιο γεγονός στην χρονική περίοδο $[T_c, T_n]$. Σε αυτήν την περίπτωση, το T'_n είναι ο χρόνος του προηγούμενου γεγονότος που έγινε. Στην συνέχεια γίνεται παύση του αναλογικού επιλυτή στην χρονική στιγμή T'_n μέχρι να εκτελεστεί το γεγονός. Με αυτό το τρόπο ο κύκλος προσομοίωσης υποστηρίζει ασυνέχειες. Στο υπόμνημα της εικόνας φαίνεται η σχέση του πραγματικού χρόνου και του χρόνου που βλέπει ο επιλυτής. Ο πραγματικός χρόνος έχει προκαθορισμένη ανάλυση 1fs. Ο κύκλος προσομοίωσης ξεκινάει με το να αρχικοποιεί τα αναλογικά σήματα. Στην συνέχεια να καθορίζει το χρόνο του επόμενου

αναλογικού υπολογισμού T_c και του χρόνου το επόμενου ψηφιακού υπολογισμού T_n . Μέχρι να υπάρξει κάποιος ψηφιακός υπολογισμός ο επιλυτής καθορίζει το επόμενο αναλογικό χρόνο και υπολογίζει τα αναλογικά σήματα. Μόλις υπάρξει ψηφιακό γεγονός, όλα τα σήματα ανανεώνονται και εκτελούνται οι ευαίσθητες εργασίες. Η προσομοίωση ολοκληρώνεται όταν έχει φτάσει στο μέγιστο χρόνο T_c , αλλιώς ξανατρέχει το κύκλο και υπολογίζει τα αναλογικά σήματα ή τα ψηφιακά, ανάλογα αν βρίσκεται ή όχι στο χρόνο T_n' .



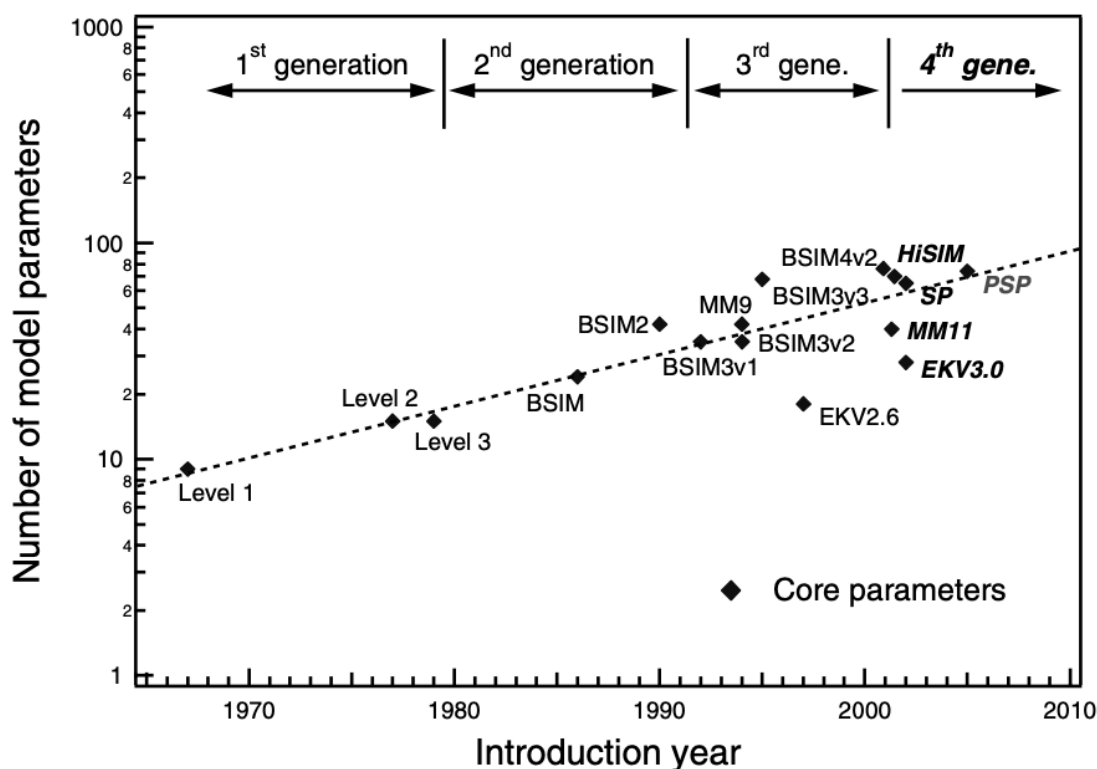
Εικόνα 2-3: Ο κύκλος προσομοίωσης στην VHDL-AMS

3 Modeling με την VHDL-AMS [16] [17]

Για να γίνει προσομοίωση ενός ηλεκτρικού κυκλώματος έχουν υλοποιηθεί κάποια μοντέλα που χρησιμοποιούνται από εργαλεία CAD για το σχεδιασμό SoC διατάξεων. Υπάρχουν τρία είδη μοντελοποίησης εξαρτημάτων:

- Αριθμητικά μοντέλα
- Μοντέλα με πίνακες αναζήτησης
- Αναλυτικά (συμπαγή) μοντέλα

Στα αριθμητικά μοντέλα χρησιμοποιούνται δισδιάστατα ή τρισδιάστατα αριθμητικά μοντέλα που περιγράφουν την γεωμετρία της συσκευής, την νόθευση και τις εξισώσεις της κινητικότητας των φορέων τα οποία λύνονται αριθμητικά για να πάρουμε τα χαρακτηριστικά της συσκευής. Επειδή αυτά τα μοντέλα χρησιμοποιούν πολύπλοκες εξισώσεις δεν χρησιμοποιούνται για μεγάλα κυκλώματα παρά για κάποιο χαρακτηριστικό της συσκευής.



Εικόνα 3-1: Ο αριθμός των παραμέτρων για κάθε μοντέλο MOSFET που αναπτύχθηκε.

Τα μοντέλα με πίνακες αναζήτησης, περιέχουν το ρεύμα και τη χωρητικότητα της συσκευής σε συνάρτηση με την τάση πόλωσης και το μέγεθος της συσκευής, τα οποία έχει πρόσβαση ο προσομοιωτής. Αυτό το είδος χρησιμοποιείται για γρήγορη προσομοίωση κυκλωμάτων. Τα αριθμητικά μοντέλα και τα μοντέλα με πίνακες αναζήτησης είναι λιγότερο δημοφιλή από τα αναλυτικά (συμπαγή) μοντέλα.

Η συμπαγής μοντελοποίηση των MOSFET είναι ένα είδος μοντελοποίησης που στοχεύει στην απλοποίηση του μοντέλου με αντάλλαγμα συνήθως την ακρίβεια στα αποτελέσματα. Για να επιτευχθεί αυτό σε κλίμακες κάτω των 100nm, είναι απαραίτητο να μοντελοποιηθούν με ακρίβεια τα φυσικά φαινόμενα που αφορούν την λειτουργία ενός MOSFET. Για αυτό το λόγο αναπτύσσεται μια νέα γενιά μοντέλων MOSFET (η 4^η γενιά) όπως φαίνεται στην παραπάνω εικόνα 3-1.

Η οικογένεια μοντέλων BSIM (Berkeley Short-channel IGFET Model) χρησιμοποιείται ευρέως στην σχεδίαση CMOS IC. Τα πρώτα BSIM1 και BSIM2 αρχικά αναπτύχθηκαν για να αντικαταστήσουν το μοντέλο SPICE Level-3 MOSFET για να λύσουν προβλήματα ακρίβειας των εξαρτημάτων με μικρό κανάλι.

Τα συμβατικά μοντέλα της 3^{ης} γενιάς όπως τα BSIM3/BSIM4 και MM9 είναι βασισμένα στην περιγραφή της τάσης κατωφλίου και είναι αυτά που θα χρησιμοποιηθούν και για την μοντελοποίηση του QDGFET. Το μοντέλο EKV v2.6 είναι αρκετά διαφορετικό γιατί στοχεύει στην περιγραφή της αντιστροφής της πυκνότητας φορτίου. Επειδή αυτό το μοντέλο είναι ανήκει ήδη στην 4^η γενιά, το αναφέρουμε σαν μοντέλο αντιστροφής φορτίων.

Τα μοντέλα της 3^{ης} γενιάς σε σχέση με την 2^η αναπτύχθηκαν για να γίνουν ακόμα πιο απλοποιημένα και πιο ακριβές. Δηλαδή σχεδιάστηκαν για να έχουν μικρό αριθμό από παραμέτρους που αναφέρονται σε φυσικά μεγέθη, βελτιωμένες μαθηματικές συνθήκες και να

Model	Mini- mum L (um)	Mini- mum Tox (nm)	Model Continu- ity	Id Accuracy in Strong Inversion	Id Accuracy in Subthresh- old	Small sig- nal parame- ter	Scalability
MOS1	5	50	POOR	POOR	NOT MOD- ELED	POOR	POOR
MOS2	2	25	POOR	POOR	POOR	POOR	FAIR
MOS3	1	20	POOR	FAIR	POOR	POOR	POOR
BSIM1	0.8	15	FAIR	GOOD	FAIR	POOR	FAIR
BSIM2	0.35	7.5	FAIR	GOOD	GOOD	FAIR	FAIR
BSIM3v2	0.25	5	FAIR	GOOD	GOOD	GOOD	GOOD
BSIM3v3	0.15	4	GOOD	GOOD	GOOD	GOOD	GOOD

Εικόνα 3-2: Σύγκριση της αποδοτικότητας του κάθε μοντέλου [17]

υπάρχει μια συνάρτηση για το μοντέλο για όλες της περιοχές λειτουργίας. Αυτό για τα μοντέλα BSIM3/4 δεν έχει εφαρμοστεί αφού η περιοχές λειτουργίας των MOSFET περιγράφονται με διαφορετικές εξισώσεις. Επίσης χρησιμοποιούν και κάποιες επιπλέον παραμέτρους (που δεν προέρχονται από την φυσική λειτουργία) που εισάγονται για να περιγράψουν καλύτερα την χαρακτηριστική. Αυτό μπορεί να έχει σαν αποτέλεσμα το μοντελοποιημένο εξάρτημα να αποκλείει από το πραγματικό στις περιοχές που γίνεται εναλλαγή από ασθενή σε ισχυρή αναστροφή φορτίων. Αυτή η περιοχή είναι σημαντική για αναλογικές εφαρμογές χαμηλής τάσης και χαμηλού ρεύματος, αλλά και επίσης σε ψηφιακά κυκλώματα όπου η τάση τροφοδοσία στα σύγχρονα CMOS είναι αρκετά χαμηλή. Ένα άλλο μειονέκτημα αυτών των μοντέλων που πρέπει να λάβουμε υπόψιν είναι ότι το ρεύμα του Απαγωγού παρουσιάζει ασυνέχεια στο σημείο ανάμεσα στην γραμμική περιοχή και του κορεσμού. Αυτό οφείλεται στην χρήση προσεγγίσεων για τα ρεύματα ολίσθησης και για να διορθωθεί χρησιμοποιούνται επιπλέον παράμετροι στις εξισώσεις ώστε η χαρακτηριστική να είναι συνεχής.

3.1 Τύποι μοντέλων ενός MOSFET

3.1.1 Μοντέλο τάσης κατωφλίου

Η μοντελοποίηση της τάσης κατωφλίου είναι ένα από τα σημαντικότερα μέρη για τον προσδιορισμό των ηλεκτρικών χαρακτηριστικών μια συσκευής. Με αυτό το τρόπο μπορούμε να χωρίσουμε την λειτουργία ενός MOSFET σε τρία μέρη σύμφωνα με την τάση κατωφλίου. Για τάση Πύλης πολύ μεγαλύτερη από την τάση κατωφλίου της συσκευής έχουμε την ισχυρή αναστροφή όπου υπάρχει το ρεύμα μετατόπισης. Εάν η τάση της Πύλης είναι κατά πολύ μικρότερη από την τάση κατωφλίου τότε έχουμε ασθενής αναστροφή όπου υπάρχει το ρεύμα διάχυσης στο κανάλι. Εάν η τάση Πύλης είναι κοντά στην τάση κατωφλίου τότε το τρανζίστορ λειτουργεί στην περιοχή εναλλαγής όπου ονομάζεται μέτρια αναστροφή και υπάρχουν και τα δύο ρεύματα μετατόπισης και διάχυσης.

3.1.1.1 Μοντέλο τάσης κατωφλίου για συσκευής με μακρύ κανάλι

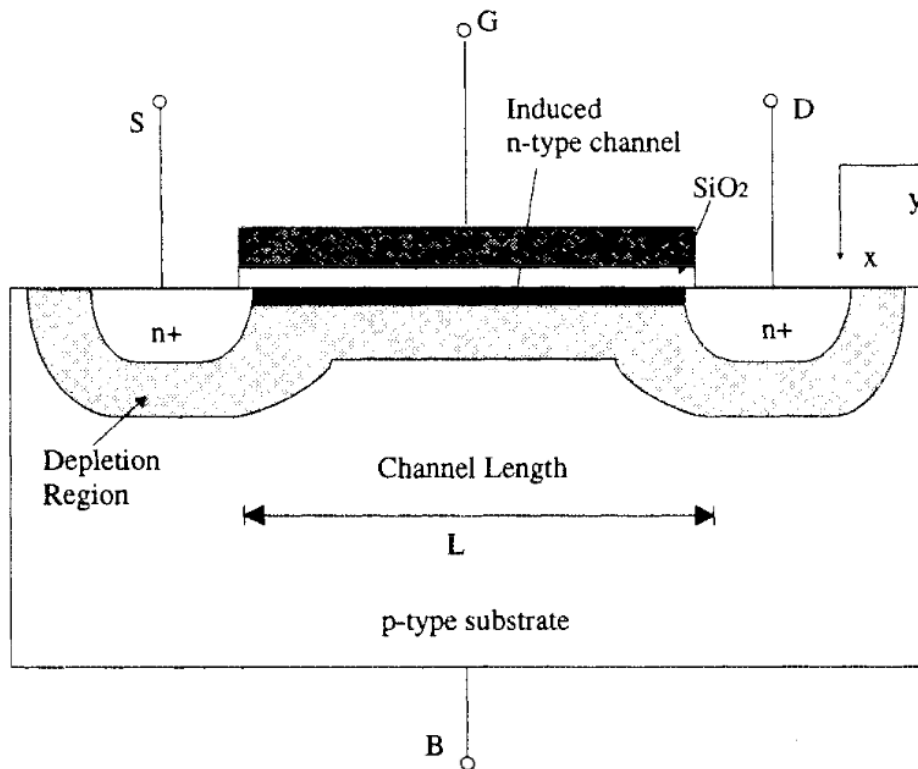
Παρακάτω φαίνεται το διάγραμμα ενός MOSFET με στο οποίο το υπόστρωμα είναι νοθευμένο ομοιόμορφα. Στον άξονα x είναι το βάθος μέσα στο πυρίτιο το οποίο μετρείται από την διεπαφή SiO₂-Si ενώ στον άξονα y είναι το μήκος κατά μήκος του καναλιού από την Πηγή προς τον Απαγωγό.

Σύμφωνα με το ορισμό του κατωφλίου $\phi_s = 2\phi_B$ (εικόνα 1-26e), η τάση κατωφλίου μπορεί να εκφραστεί από το τύπο:

$$V_{th} = V_{FB} + 2\phi_B - \gamma\sqrt{2\phi_B - V_{bs}}$$

Εξίσωση 3-1

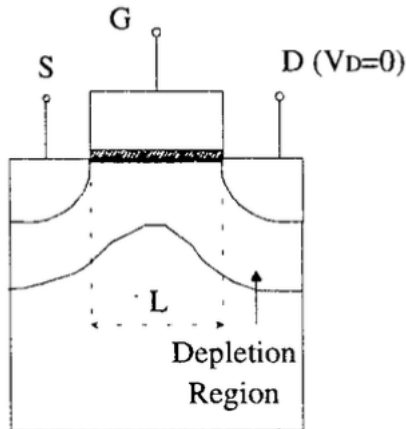
Όπου γ είναι ο συντελεστής επίδρασης bulk



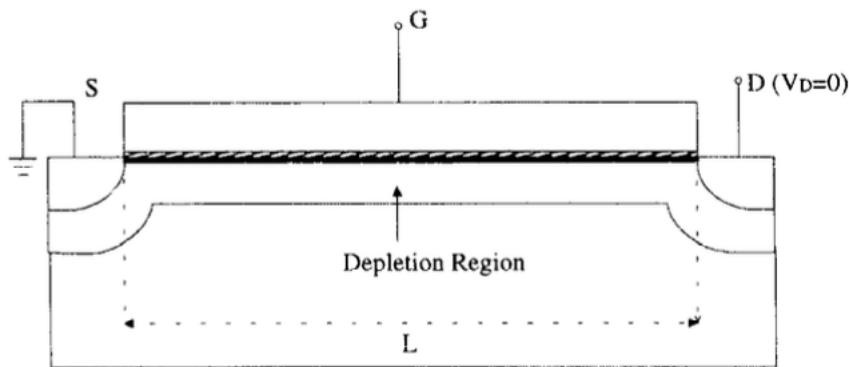
Εικόνα 3-3: Τομή ενός MOSFET καναλιού τύπου N

3.1.1.2 Μοντέλο τάσης κατωφλίου για συσκευή με κοντό κανάλι

Η τάση κατωφλίου σε συσκευή με μακρύ κανάλι είναι ανεξάρτητη από το μήκος και από την τάση στο Απαγωγό και εξαρτάται από την πόλωση του σώματος. Όμως εάν το κανάλι είναι αρκετά μικρό, η μέτρηση της τάσης κατωφλίου δείχνει μια εξάρτηση στο μήκος του καναλιού και την τάση Απαγωγού. Επίσης η εξάρτηση από την πόλωση του σώματος γίνεται ασθενέστερη καθώς το κανάλι γίνεται μικρότερο. Αυτή η επίδραση του καναλιού στην τάση κατωφλίου πρέπει να συμπεριληφθεί στις εξισώσεις ώστε να μοντελοποιηθούν συσκευές με κανάλι μικρότερες το μικρομέτρου.



Εικόνα 3-5: Η περιοχή απογύμνωσης σε ένα MOSFET με κοντό κανάλι



Εικόνα 3-4: Η περιοχή απογύμνωσης σε ένα MOSFET με μακρύ κανάλι

Δύο αναλυτικά μοντέλα έχουν χρησιμοποιηθεί για να μοντελοποιηθεί η μείωση της τάσης κατωφλίου ΔV_{th} σε συνάρτηση με την επίδραση του μικρού καναλιού:

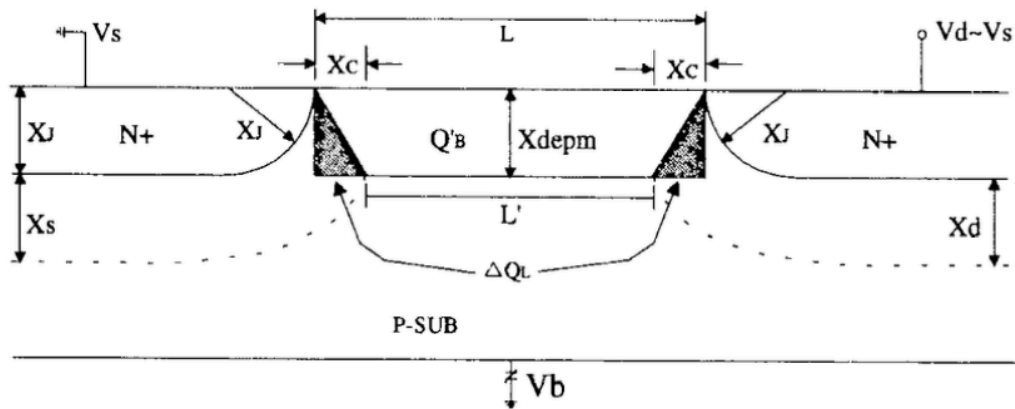
1) Charge-sharing μοντέλο στο οποίο οι αναλυτικές εξισώσεις για το ΔV_{th} εξάγονται με την βοήθεια την θεωρίας charge-sharing.

Για το μακρύ κανάλι υποθέτουμε ότι όλα τα φορτία χώρου κάτω από την πύλη συνεισφέρουν στο κάθετο ηλεκτρικό φορτίο E_x το οποίο καθορίζει την τάση ανάμεσα στο οξειδίο και την τάση V_{th} . Καθώς το L (μήκος του καναλιού) πλησιάζει τις διαστάσεις που έχουν οι επαφές Πηγής/Απαγωγού ή το πάχος τις περιοχής απογύμνωσης, τα φορτία χώρου στην Πηγή/Απαγωγό αρχίζουν να συνεισφέρουν κατά πολύ στην δημιουργία του καναλιού. Με άλλα λόγια, οι ηλεκτρικές γραμμές του ηλεκτρικού πεδίου που σχηματίζονται από την Πύλη δεν καταλήγουν κάτω από την Πύλη αλλά και στις περιοχές της Πηγής και του Απαγωγού. Έτσι η περιοχή απογύμνωσης δημιουργείται και από την Πύλη αλλά και από την Πηγή/Απαγωγό. Έτσι μικρότερη τάση στην πύλη χρειάζεται για να επιτευχθεί αναστροφή στο κανάλι σε ένα MOSFET κοντού καναλιού από ένα MOSFET με μακρύ κανάλι. Η μείωση της τάσης κατωφλίου V_{th} από αυτό το φαινόμενο υπολογίζεται από το τύπο:

$$\Delta V_{th} = \frac{qN_{sub}X_{derm}X_j}{C_{ox}L} \left(\sqrt{1 + \frac{2X_{dep}}{X_j}} - 1 \right)$$

Εξίσωση 3-2

Όπου X_s και X_d είναι το πλάτος της απογύμνωσης στις περιοχές της Πηγής και Πύλης αντίστοιχα.



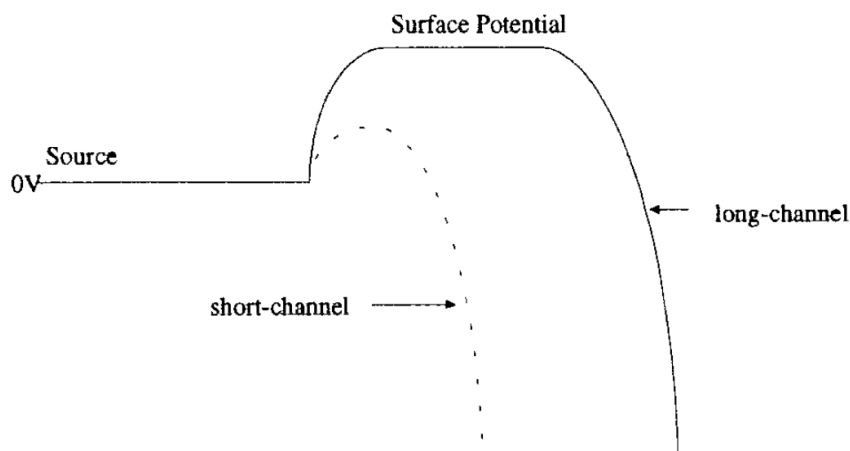
Εικόνα 3-6: Απεικόνιση του μοντέλου charge-sharing. Η γκριζες περιοχές είναι τα φορτία απογύμνωσης που ελέγχονται από την Πηγή/Απαγωγό [17]

Από αυτό το μοντέλο μπορούμε να πούμε ότι τέσσερα πράγματα:

- Όσο πιο χοντρό είναι το οξειδίο στην Πύλη, τόσο μεγαλύτερο είναι το ΔV_{th}
- Όσο μικρότερη είναι νόθευση του υποστρώματος N_{sub} τόσο μεγαλύτερο είναι το πλάτος της απογύμνωσης στο κανάλι X_{dep}
- Όσο μεγαλύτερο είναι το πλάτος των διεπαφών Πηγής και Απαγωγού X_j τόσο εντονότερο είναι το φαινόμενο
- Και όσο μεγαλύτερη είναι η τάση V_{ds} τόσο μεγαλύτερο είναι και το πλάτος X_d ως αποτέλεσμα να έχουμε εντονότερο το φαινόμενο.

2) Ψευδο-2D μοντέλο, στο οποίο οι εξισώσεις εξάγονται λύνοντας μια διδιάστατη εξίσωση Poisson

Αυτή η μέθοδος χρησιμοποιεί πιο περίπλοκους τύπους που αναλύουν το δυναμικό επιφάνειας του MOSFET κατά μήκος του καναλιού και έτσι είναι και πιο ακριβής. Το φαινόμενο που περιγράφει αυτή η μέθοδος λέγεται DIBL (Drain Induced Barrier Lowering). Καθώς το μήκος L του καναλιού μειώνεται και η τάση V_{ds} αυξάνεται, το δυναμικό επιφάνειας αλλάζει, μειώνοντας έτσι το δυναμικό φράγμα ανάμεσα στην Πηγή και τον Απαγωγό. Έτσι χρειάζεται



Εικόνα 3-7: Το ύψος του φραγμού και το δυναμικό κατά μήκος του καναλιού σε περίπτωση MOSFET κοντού καναλιού και μακριού καναλιού [17]

λιγότερη τάση στην Πύλη για να έχουμε δυναμικό επιφανείας 2ϕ , με αποτέλεσμα να μειώνεται η τάση κατωφλίου V_{th} . Ο τύπος για την μείωση της V_{th} είναι:

$$\Delta V_{th} = [3(V_{bi} - 2\phi_B) + V_{ds}]e^{-L/l} + 2\sqrt{(V_{bi} - 2\phi_B)(V_{bi} - 2\phi_B + V_{ds})}e^{-\frac{L}{2l}}$$

Εξίσωση 3-3

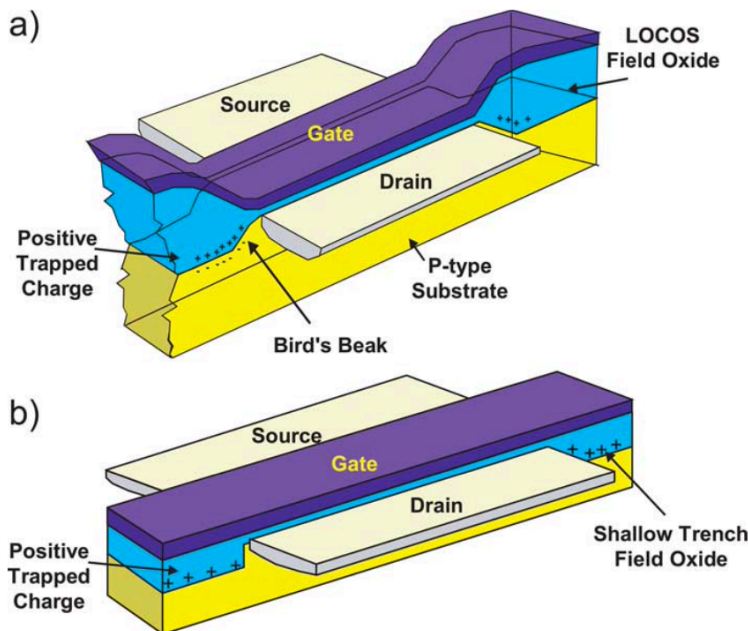
Όπου το l είναι το χαρακτηριστικό μήκος του καναλιού και υπολογίζεται από τον τύπο:

$$l = \sqrt{\frac{\epsilon_{si} T_{ox} X_{dep}}{\epsilon_{ox} \eta}}$$

Εξίσωση 3-4

Στην εικόνα φαίνεται το φράγμα ηλεκτρονίων κατά μήκος του αγωγού (NMOS) για MOSFET με μακρύ και κοντό κανάλι. Στο MOSFET κοντού καναλιού το φράγμα είναι μικρότερο λόγω του δυναμικού που έχουν η επαφές Πηγής/Απαγωγού. Η μείωση του φράγματος αυτού είναι η αιτία που η τάση κατωφλίου V_{th} είναι μικρότερη.

3.1.2 Μοντέλο επίδρασης Narrow Width



Εικόνα 3-8: Τρισδιάστατη διατομή LOCOS τεχνολογίας μόνωσης (a) και Shallow Trench μόνωσης (b)

WEB SOURCE: <https://link.springer.com/article/10.1007/s42341-020-00255-3#Fig10>

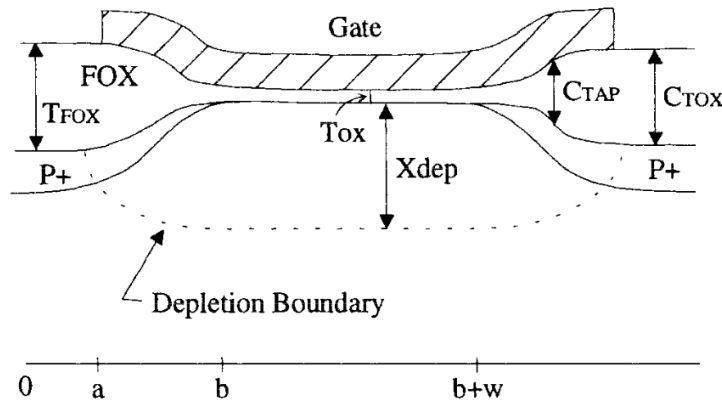
Το μοντέλο αυτό περιγράφει την επίδραση που έχει η τάση κατωφλίου σε σχέση με το στενό κομμάτι του μονωτικού στρώματος στην Πύλη όταν χρησιμοποιείται LOCOS τεχνολογία μόνωσης. Στην δομή του MOSFET υπάρχει ένα στένεμα του οξειδίου από τα άκρα προς το κέντρο κατά το πλάτος του. Το πολυπυρίτιο της Πύλης προεκτείνεται μέχρι το παχύ μέρος του οξειδίου και από τις δύο πλευρές όπως φαίνεται στην παραπάνω εικόνα 3-8.

Αυτό έχει σαν αποτέλεσμα, η Πύλη να δημιουργεί ένα επιπλέον ηλεκτρικό πεδίο στα άκρα της συσκευής, δημιουργώντας έτσι επιπλέον πεδίο απογύμνωσης με φορτίο $\Delta Q_w/2$ σε κάθε πλευρά. Έτσι έχουμε μια αλλαγή της τάσης κατωφλίου λόγω αυτών των φορτίων στα άκρα, όπου στην περίπτωση αυτή, η τάση κατωφλίου αυξάνεται καθώς το πλάτος του καναλιού μειώνεται.

Η τάση κατωφλίου σε ένα τέτοιο MOSFET υπολογίζεται από το τύπο:

$$V_{th} = V_{thw} + \frac{\Delta Q_{bw}}{C_{ox}}$$

Εξίσωση 3-5



Εικόνα 3-9: Διατομή ενός MOSFET κατά το πλάτος της πύλης

Όπου V_{thw} είναι η τάση κατωφλίου σε ένα αντίστοιχο MOSFET με πλατύ κανάλι. Το ΔQ_{bw} περιγράφει το επιπλέον φορτίο στο παχύ μέρος του οξειδίου. Για τον υπολογισμό του χρησιμοποιείται το μοντέλο Aker που χωρίζει την περιοχή κάτω από το οξείδιο σε τρεις περιοχές, μια τετράγωνη, μια τρίγωνη και μια σε σχήμα ενός τεταρτημόριου του κύκλου. Αυτές οι τρεις περιοχές λύνοντας τις εξισώσεις για τον υπολογισμό των φορτίων τους, δίνουν μια γενική μορφή που περιγράφει την τάση κατωφλίου για συσκευές με στενό πλάτος καναλιού.

$$V_{th} = V_{thw} + \delta \frac{qN_A X_{dep}^2}{C_{ox}W}$$

$$\delta = \begin{cases} 1 & \text{για τρίγωνο} \\ \frac{\pi}{2} & \text{για τεταρτημόριο κύκλου} \\ 2 & \text{για τετράγωνο} \end{cases}$$

Εξίσωση 3-6

Η περίπτωση όπου $\delta=2$ είναι καλύτερη για μοντελοποίηση γιατί δίνει αποτελέσματα πιο κοντά στα πειραματικά

3.1.3 Ολοκληρωμένο μοντέλο BSIM3v3 για την τάση κατωφλίου

Αναλύοντας τις φυσικές επιδράσεις που υπάρχουν σε ένα MOSFET θα πρέπει να φτιαχτεί με βάση αυτές τις εξισώσεις μια γενική εξίσωση που θα περιγράφει προσεγγιστικά την τάση κατωφλίου για κάθε είδος MOSFET. Το ολοκληρωμένο μοντέλο για την τάση κατωφλίου είναι:

$$\begin{aligned}
 V_{th} = & V_{TH0} + K_1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K_2V_{bs} + K_1 \left(\sqrt{1 + \frac{N_{LX}}{L_{eff}}} - 1 \right) \sqrt{\phi_s} \\
 & + (K_3 + K_{3B}V_{bs}) \frac{T_{OX}}{W'_{eff} + W_0} \phi_s \\
 & - D_{VT0} \left(\exp\left(-D_{VT1} \frac{L_{eff}}{2l_t}\right) + 2 \exp\left(-D_{VT1} \frac{L_{eff}}{l_t}\right) \right) (V_{bi} - \phi_s) \\
 & - \left(\exp\left(-D_{sub} \frac{L_{eff}}{2l_{t0}}\right) + 2 \exp\left(-D_{sub} \frac{L_{eff}}{l_{t0}}\right) \right) (E_{tao} + E_{tab}V_{bs})V_{ds} \\
 & - D_{VT0w} \left(\exp\left(-D_{VT1w} \frac{W_{eff}L_{eff}}{2l_{tw}}\right) + 2 \exp\left(-D_{VT1w} \frac{W_{eff}L_{eff}}{l_{tw}}\right) \right) (V_{bi} \\
 & - \phi_s)
 \end{aligned}$$

Εξίσωση 3-7

Ο δεύτερο και ο τρίτος όρος είναι το μοντέλο για την επίδραση της κάθετης ανομοιομορφίας της νόθευσης του ημιαγωγού στο κανάλι και ο τέταρτος όρος είναι η επίδραση της ανομοιομορφίας της νόθευσης του ημιαγωγού κατά μήκος του καναλιού όπως φαίνεται στην παραπάνω εικόνα 3-9. Ο πέμπτος όρος είναι η επίδραση του φαινομένου narrow width. Ο έκτος και έβδομος όρος σχετίζονται με το φαινόμενο του κοντού καναλιού από το DIBL και ο τελευταίος όρος είναι για συσκευές που έχουν μικρό μήκος και πλάτος καναλιού. Στον τύπου έχουν εισαχθεί και κάποιοι παράμετροι που εξάγονται πειραματικά από την πραγματική συσκευή ώστε να είναι πιο ακριβείς η μοντελοποίηση ανάμεσα σε MOSFET με διαφορετικά χαρακτηριστικά.

3.1.4 Μοντελοποίηση χαρακτηριστικών I-V

Ένα σημαντικό κομμάτι για την μοντελοποίηση ενός τρανζίστορ είναι η χαρακτηριστική I-V. Η χαρακτηριστική αυτή περιγράφει το ρεύμα στο κανάλι της συσκευής σε συνάρτηση των τάσεων πόλωσης. Οι βασικές εξισώσεις που περιγράφουν την πυκνότητα του ρεύματος των ηλεκτρονίων J_n και των οπών J_p σε ένα MOSFET είναι:

$$J_n = q\mu_n nE + qD_n \nabla_n$$

Εξίσωση 3-8

$$J_p = q\mu_p pE + qD_p \nabla_p$$

Εξίσωση 3-9

Το q είναι το φορτίο του ηλεκτρονίου, τα μ_n και μ_p είναι οι κινητικότητες των ηλεκτρονίων και οπών αντίστοιχα και τα n και p η συγκέντρωση ηλεκτρονίων και οπών. Το E είναι το ηλεκτρικό πεδίο και D_n και D_p είναι η σταθερά διάχυσης των ηλεκτρονίων και οπών.

Οι εξισώσεις αυτές χωρίζονται σε δύο μέρη. Ο πρώτος όρος αναπαριστά το ρεύμα ολίσθησης εξαιτίας του ηλεκτρικού πεδίου E που εφαρμόζεται. Ο δεύτερος όρος αναπαριστά το ρεύμα διάχυσης στον ημιαγωγό λόγω της ανομοιομορφίας συγκέντρωσης. Ο τελεστής ∇ δηλώνει την μεταβολή των συγκεντρώσεων των ηλεκτρονίων και των οπών αντίστοιχα ως προς τους τρεις άξονες x, y, z .

Στην περιοχή ισχυρής αντιστροφής, όπου οι φορείς είναι διαθέσιμοι για αγωγή, το ρεύμα ολίσθησης είναι αυτό που κυριαρχεί. Στην περιοχή του υπό κατωφλίου (ασθενής αντιστροφής),

το ρεύμα διάχυσης είναι ισχυρότερο. Στην περιοχή της μετάβασης από την μια κατάσταση στην άλλη, και τα δύο ρεύματα παίζουν ρόλο και είναι το πιο δύσκολο κομμάτι στην μοντελοποίηση ενός MOSFET.

3.1.4.1 Μοντέλο κινητικότητας φορέων

Αυτό το μοντέλο περιγράφει την κινητικότητα των φορέων κοντά στην επιφάνεια της διεπαφής. Η μηχανισμοί που επηρεάζουν την κινητικότητα είναι η σκέδαση Coulomb, η σκέδαση από την ανομοιομορφία της επιφάνειας. Επίσης επηρεάζεται και από παραμέτρους που προκύπτουν από την διαδικασία παραγωγής και από συνθήκες πόλωσης της συσκευής. Αυτές είναι το πάχος του οξειδίου, η συγκέντρωση νόθευσης, η τάση κατωφλίου, η τάση της πύλης και του υποστρώματος κ.α.

$$\mu_{eff} = \frac{\mu_o}{1 + \left[U_A \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right) + U_B \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right)^2 \right] (1 + U_C V_{bseff})}$$

Εξίσωση 3-10

Παραπάνω φαίνεται ο τύπος για την κινητικότητα των φορέων από το BSIM3v3 ο οποίος με την μεταβλητή V_{gsteff} εξασφαλίζει την συνέχεια καθώς αλλάζει περιοχές λειτουργίας το MOSFET.

3.1.4.2 Μοντέλο πυκνότητας φορέων στο κανάλι

Στην ισχυρή αναστροφή η πυκνότητα αντίστροφων φορέων, Q_{inv} , είναι μεγαλύτερη από την πυκνότητα φορέων απογύμνωσης.

Στην μοντελοποίηση θέλουμε μια σχέση να περιγράφει την πυκνότητα φορέων σε σχέση με την πόλωση στην πύλη. Για αυτό στην ισχυρή αντιστροφή η πυκνότητα φορέων υπολογίζεται από το τύπο:

$$Q_{inv} = C_{ox}(V_{gs} - V_{th})$$

Εξίσωση 3-11

Για την περιοχή λειτουργίας υπό κατωφλίου όταν έχουμε ασθενή αντιστροφή η πυκνότητα φορτίου υπολογίζεται από το τύπο:

$$Q_{inv} \approx \sqrt{\frac{q\varepsilon_{si}N_a}{4\phi_B}} v_t \exp\left(-\frac{V_{gs} - V_{th} - V_{OFF}}{nv_t}\right)$$

Εξίσωση 3-12

Αρα για να έχουμε ένα τύπο όπου θα μοντελοποιεί και τις δύο περιοχές λειτουργία δημιουργούμε μια καινούργια μεταβλητή που ονομάζεται V_{gsteff} που ισούται με $V_{gs} - V_{th}$ και ο αρχικός τύπος γίνεται:

$$Q_{chso} = C_{ox}V_{gsteff}$$

Εξίσωση 3-13

Με V_{gsteff} :

$$V_{gsteff} = \frac{2nv_t \ln \left[1 + \exp\left(\frac{V_{gs} - V_{th}}{2nv_t}\right) \right]}{1 + 2nC_{ox} \sqrt{\frac{2\phi_s}{q\varepsilon_{si}N_{CH}}} \exp\left(-\frac{V_{gs} - V_{th} - 2V_{OFF}}{2nv_t}\right)}$$

Εξίσωση 3-14

Η μεταβλητή V_{OFF} εξισορροπεί την διαφορά της τάσης κατωφλίου V_{th} ανάμεσα στις δύο περιοχές λειτουργίας. Αυτός ο τύπος δεν μοντελοποιεί την επίδραση της τάσης V_{ds} στο τρανζίστορ. Δηλαδή θα πρέπει το μοντέλο να προσομοιώνει το δυναμικό που έχει το κανάλι καθ' όλο το μήκος του, συναρτήσει την τάση V_{gs} και την τάση V_{ds} .

Ο τύπος για το πλήρες μοντέλο του φορτίου στο κανάλι είναι:

$$Q_{ch(y)} = Q_{chs0} \left(1 - \frac{V_{F(y)}}{V_b}\right)$$

Εξίσωση 3-15

Με $V_{F(y)}$ είναι το δυναμικό Φέρμι για κάθε σημείο y κατά μήκος του καναλιού σε σχέση με την πηγή. Ενώ V_b είναι το δυναμικό του υποστρώματος και υπολογίζεται από τον τύπο:

$$V_b = \frac{V_{gsteff} + 2v_t}{A_{bulk}}$$

Εξίσωση 3-16

Όπου A_{bulk} είναι μια παράμετρος που αφορά την επίδραση της V_{ds} στο φορτίο του υποστρώματος.

Ο αρχικός τύπος του ρεύματος στην γραμμική περιοχή λειτουργίας είναι:

$$I_{ds} = \mu_{eff} C_{ox} \frac{W_{eff}}{L_{eff}} \frac{1}{1 + V_{ds}/E_{sat}L_{eff}} (V_{gs} - V_{th} - A_{bulk}V_{ds}/2)V_{ds}$$

Εξίσωση 3-17

Αυτό το ρεύμα αναφέρεται σε τρανζίστορ χωρίς παρασιτικές αντιστάσεις και πριν να έχουμε κορεσμό της ταχύτητας των φορέων.

Στα τρανζίστορ μεγάλου μήκους οι παρασιτικές αντιστάσεις είναι πολύ μικρές σε σύγκριση με αυτή του καναλιού. Σε τρανζίστορ κοντού καναλιού επηρεάζεται περισσότερο το ρεύμα κυρίως στην γραμμική περιοχή λειτουργίας όπου η αντίσταση του καναλιού είναι μικρότερη, με αποτέλεσμα να έχουμε μεγαλύτερη κλίση στην χαρακτηριστική I-V.

Ο πιο απλός τρόπος να μοντελοποιηθούν οι παρασιτικές αντιστάσεις είναι προσθέτοντας σε σειρά με το MOSFET μια αντίσταση και υπολογίζοντας το ρεύμα. Ο τύπος για το ρεύμα με παρασιτικές αντιστάσεις είναι:

$$I_{ds} = \frac{I_{ds0}}{1 + R_{ds}I_{ds0}/V_{ds}}$$

Εξίσωση 3-18

Όπου R_{ds} είναι μια μεταβλητή για την παρασιτική αντίσταση στην Πηγή και Απαγωγό και το I_{ds0} είναι το αρχικό ρεύμα στην γραμμική περιοχή χωρίς παρασιτικές αντιστάσεις.

Όταν η τάση στον Απαγωγό (το οριζόντιο ηλεκτρικό πεδίο) είναι παραπάνω από μια συγκεκριμένη τιμή τότε έχουμε κορεσμό της ταχύτητας των φορέων κοντά στην περιοχή του απαγωγού. Έτσι έχουμε δυο περιοχές όπου στην μια κοντά στην Πηγή η ταχύτητα φορέων εξαρτάται από το οριζόντιο ηλεκτρικό πεδίο και μια κοντά στον Απαγωγό όπου η ταχύτητα δεν αυξάνεται πάνω από ένα σημείο. Έτσι μπορούμε να υπολογίσουμε το ρεύμα I_{dsat} για δεδομένα u_{sat} και V_{dsat} :

$$I_{dsat} = W_{eff} C_{ox} (V_{gst} - A_{bulk}V_{dsat})v_{sat}$$

Εξίσωση 3-19

Όπου V_{dsat} :

$$V_{dsat} = \frac{E_{sat}L_{eff}(V_{gs} - V_{th})}{A_{bulk}E_{sat}L_{eff} + (V_{gs} - V_{th})}$$

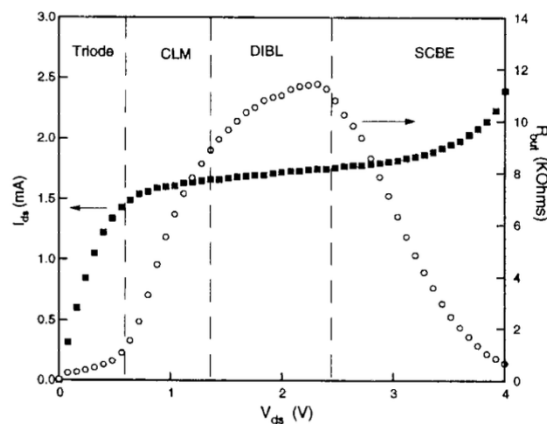
Εξίσωση 3-20

u_{sat} σταθερή και είναι ανάλογη του ημιαγωγού που χρησιμοποιείται και E_{sat} υπολογίζεται από το τύπο:

$$E_{sat} = \frac{2v_{sat}}{\mu_{eff}}$$

Εξίσωση 3-21

Για να υπολογιστεί το ρεύμα του MOSFET εκτός από την παρασιτική αντίσταση πρέπει να λάβουμε υπόψιν και τα άλλα φαινόμενα που συμβαίνουν. Παρακάτω στην εικόνα 3-10 φαίνεται η χαρακτηριστική I-V ενός MOSFET και η αντίσταση εξόδου που έχει. Η χαρακτηριστική I-V χωρίζεται σε δύο περιοχές αυτή της γραμμικής λειτουργίας και του κορεσμού. Η χαρακτηριστική όμως της αντίστασης εξόδου βλέπουμε χωρίζεται σε τέσσερις περιοχές. Η πρώτη ανήκει στην γραμμική περιοχή λειτουργίας όπου η αντίσταση είναι πολύ μικρή και το ρεύμα εξαρτάται άμεσα από την τάση στον Απαγωγό. Οι άλλες τρεις περιοχές ανήκουν στην περιοχή λειτουργίας του κορεσμού όπου δρουν τρία φυσικά φαινόμενα που έχουμε αναφέρει. Την διαμόρφωση πλάτος του καναλιού (CLM), τη μείωση φράγματος επαγόμενης υποδοχής (DIBL) και το φαινόμενο του επαγόμενου ρεύματος στο υπόστρωμα (Substrate Current induced Body Effect, SCBE) που δημιουργείται από το θερμούς φορείς



Εικόνα 3-10: Η χαρακτηριστική I-V ενός MOSFET με τις διάφορες περιοχές λειτουργίας και την αντίσταση εξόδου.

WEB SOURCE:

<https://www.sciencedirect.com/science/article/pii/B978012420031900004X>

κοντά στην επαφή του Απαγωγού όσο αυξάνεται η τάση. Το ρεύμα στο υπόστρωμα αυξάνει το δυναμικό στο υπόστρωμα με αποτέλεσμα την μεταβολή της τάσης κατωφλίου και τη μείωση της διαγωγιμότητας (g_m) και της αντίστασης του καναλιού.

Το ρεύμα στον Απαγωγό μπορεί να περιγραφεί στην περιοχή κορεσμού λαμβάνοντας υπόψιν του τρεις αυτούς μηχανισμούς από το τύπο:

$$I_{ds} = I_{dsat} \left(1 + \frac{V_{ds} - V_{dsat}}{V_A}\right) \left(1 + \frac{V_{ds} - V_{dsat}}{V_{ASCBE}}\right)$$

Εξίσωση 3-22

Όπου το I_{dsat} είναι το ρεύμα κορεσμού από την εξίσωση 3-19, η μεταβλητή V_A ονομάζεται τάση Early (από τα διπολικά τρανζίστορ) και μοντελοποιεί την αντίσταση εξόδου στην περιοχή του κορεσμού. Υπολογίζεται από το τύπο:

$$V_A = V_{Asat} + \left(1 + \frac{P_{VAG} V_{gst}}{E_{sat} L_{eff}}\right) \left(\frac{1}{V_{ACL M}} + \frac{1}{V_{ADIBL}}\right)^{-1}$$

Εξίσωση 3-23

$$V_{ADIBL} = \frac{1}{\theta_{rout}(L)} \left(V_{gst} - \left(\frac{1}{A_{bulk} V_{dsat}} + \frac{1}{V_{gst}} \right)^{-1} \right)$$

Εξίσωση 3-24

$$V_{ACLM} = \frac{1}{P_{CLM}} \frac{A_{bulk} E_{sat} L_{eff} + V_{gst}}{A_{bulk} E_{sat} l} (V_{ds} - V_{dsat})$$

Εξίσωση 3-25

$$\theta_{rout}(L) = P_{DIBLC1} \left[\exp\left(-\frac{D_{ROUT} L}{2l_t}\right) + 2 \exp(-D_{ROUT} L/l_t) \right] + P_{DIBLC2}$$

Εξίσωση 3-26

Ο συντελεστής θ_{rout} εξαρτάται από το μήκος L του καναλιού.

Το παραπάνω μοντέλο δεν λαμβάνει υπόψιν το φαινόμενο SCBE, το οποίο μοντελοποιείται ξεχωριστά από την μεταβλητή V_{ASCBE} :

$$\frac{1}{V_{ASCBE}} = \frac{P_{SCBE2}}{L_{eff}} \exp\left(\frac{-P_{SCBE1} l}{V_{ds} V_{dseff}}\right)$$

Εξίσωση 3-27

Οι παράμετροι P_{VAG} , P_{CLM} , P_{DIBLC1} , P_{DIBLC2} , D_{ROUT} , P_{SCBE1} και P_{SCBE2} εξάγονται από τις πειραματικές μετρήσεις για την I-V και βοηθάνε στην πιο ακριβείς μοντελοποίηση.

3.1.4.3 Υπο κατωφλιακή περιοχή

Στην υπο κατωφλιακή περιοχή, όπου η επιφάνεια του ημιαγωγού είναι ασθενώς ανεστραμμένη, το ρεύμα του απαγωγού κυριαρχείται από το ρεύμα διάχυσης αντί για το ρεύμα ολίσθησης. Αφαιρώντας το ρεύμα ολίσθησης από την αρχική εξίσωση, η γενική εξίσωση για την πυκνότητα ρεύματος γίνεται:

$$J_n = q D_n \nabla_n$$

Εξίσωση 3-28

Για να υπολογίζουμε το ρεύμα πρέπει να πολλαπλασιάσουμε την παραπάνω εξίσωση με την επιφάνεια η οποία είναι το πλάτος και το μήκος του καναλιού:

$$I_{ds} = \frac{W_{eff}}{L_{eff}} \mu_n \nu_t (Q_{dinv} - Q_{sinv})$$

Εξίσωση 3-29

Τα Q_{dinv} και Q_{sinv} είναι το φορτίου στην περιοχή του Απαγωγού και της Πηγής αντίστοιχα τα οποία υπολογίζονται από τις σχέσεις:

$$Q_{sinv} = \sqrt{\frac{q \epsilon_{si} N_{CH}}{4 \phi_B}} \nu_t \exp\left(\frac{V_{gs} - V_{th} - V_{OFF}}{n \nu_t}\right)$$

Εξίσωση 3-30

$$Q_{dinv} = \sqrt{\frac{q \epsilon_{si} N_{CH}}{4 \phi_B}} \nu_t \exp\left(\frac{V_{gs} - V_{th} - V_{OFF} - V_{ds}}{n \nu_t}\right)$$

Εξίσωση 3-31

Αντικαθιστώντας τις δύο σχέσεις αυτές στην αρχική εξίσωση έχουμε την τελική σχέση που περιγράφει το ρεύμα για την υπο κατωφλιακή περιοχή λειτουργίας:

$$I_{ds} = I_{s0} \left(1 - \exp\left(-\frac{V_{ds}}{n v_t}\right) \right) \exp\left(\frac{V_{gs} - V_{th} - V_{OFF}}{n v_t}\right)$$

Εξίσωση 3-32

$$I_{s0} = \mu_n \frac{W_{eff}}{L_{eff}} \sqrt{\frac{q \epsilon_{si} N_{CH}}{4 \phi_B}} v_t^2$$

Εξίσωση 3-33

Όπου v_t είναι η θερμική τάση ($K_B T/q$).

3.1.4.4 Μοντέλο που περιγράφει όλες τις περιοχές λειτουργίας

Αν θέλουμε να μοντελοποιήσουμε την λειτουργία ενός MOSFET σε όλες τις περιοχές λειτουργίας του, θα συναντήσουμε μια ασυνέχεια στα σημεία που αλλάζουν οι περιοχές λειτουργίας. Για αυτό το λόγο έχει συντεθεί ένα μοντέλο που περιγράφει όλες τις περιοχές λειτουργία με ακρίβεια και συνέχεια.

Η εξίσωση για την χαρακτηριστική I-V είναι:

$$I_{ds} = \frac{I_{ds0}}{1 + \frac{R_{ds} I_{ds0}}{V_{dseff}}} \left(1 + \frac{V_{ds} - V_{dseff}}{V_A} \right) \left(1 + \frac{V_{ds} - V_{dseff}}{V_{ASCBE}} \right)$$

Εξίσωση 3-34

Όπου:

$$I_{ds0} = \frac{W_{eff} C_{ox} \mu_{eff} V_{gsteff} V_{dseff} (1 - \frac{V_{dseff}}{2V_b})}{L_{eff} (1 + \frac{V_{dseff}}{E_{sat} L_{eff}})}$$

Εξίσωση 3-35

$$V_A = V_{Asat} + (1 + \frac{P_{VAG} V_{gsteff}}{E_{sat} L_{eff}}) \left(\frac{1}{V_{ACLM}} + \frac{1}{V_{ADIBLC}} \right)^{-1}$$

Εξίσωση 3-36

$$V_{Asat} = \frac{E_{sat} L_{eff} + V_{dsat} + 2R_{DS} v_{sat} C_{ox} W_{eff} V_{gsteff} \left[1 - \frac{A_{bulk} V_{dsat}}{2(V_{gsteff} + 2v_t)} \right]}{2/\lambda - 1 + R_{DS} v_{sat} C_{ox} W_{eff} A_{bulk}}$$

Εξίσωση 3-37

$$V_{ACLM} = \frac{A_{bulk} E_{sat} L_{eff} + V_{gsteff}}{P_{CLM} A_{bulk} E_{sat} l} (V_{ds} - V_{dseff})$$

Εξίσωση 3-38

$$V_{ADIBLC} = \frac{V_{gsteff} + 2v_t}{\theta_{rout} (1 + P_{DIBLCB} V_{bseff})} \left(1 - \frac{A_{bulk} V_{dsat}}{A_{bulk} V_{dsat} + V_{gsteff} + 2v_t} \right)$$

Εξίσωση 3-39

$$\theta_{rout} = P_{DIBLC1} \left[\exp\left(-D_{ROUT} \frac{L_{eff}}{2l_{t0}}\right) + 2 \exp\left(-D_{ROUT} \frac{l_{eff}}{l_{t0}}\right) \right] + P_{DIBLC2}$$

Εξίσωση 3-40

$$\frac{1}{V_{ASCBE}} = \frac{P_{SCBE2}}{L_{eff}} \exp\left(\frac{-P_{SCBE1} l}{V_{ds} V_{dseff}}\right)$$

Εξίσωση 3-41

Για την περίπτωση όπου δεν έχουμε παρασιτικές αντιστάσεις ($R_{ds}=0$) τότε:

$$V_{dsat} = \frac{E_{sat}L_{eff}(V_{gsteff} + 2v_t)}{A_{bulk}E_{sat}L_{eff} + V_{gsteff} + 2v_t}$$

Εξίσωση 3-42

Για την περίπτωση όπου έχουμε παρασιτικές αντιστάσεις ($R_{ds}>0$) τότε:

$$V_{dsat} = \frac{-b - \sqrt{b^2 - 4ac}}{2a}$$

Εξίσωση 3-43

$$a = A_{bulk}^2 W_{eff} v_{sat} C_{ox} R_{ds} + \left(\frac{1}{\lambda} - 1\right) A_{bulk}$$

Εξίσωση 3-44

$$b = - \left((V_{gsteff} + 2v_t) \left(\frac{2}{\lambda} - 1\right) + A_{bulk} E_{sat} L_{eff} + 3A_{bulk} (V_{gsteff} + 2v_t) W_{eff} v_{sat} C_{ox} R_{ds} \right)$$

Εξίσωση 3-45

$$c = (V_{gsteff} + 2v_t) E_{sat} L_{eff} + 2(V_{gsteff} + 2v_t)^2 W_{eff} v_{sat} C_{ox} R_{ds}$$

Εξίσωση 3-46

$$\lambda = A_1 V_{gsteff} + A_2$$

Εξίσωση 3-47

Η μεταβλητή V_{dseff} έχει εισαχθεί για να υπάρχει συνέχεια στα σημεία που έχουμε αλλαγή της λειτουργίας του MOSFET και υπολογίζεται από το τύπο:

$$V_{dseff} = V_{dsat} - \frac{1}{2} (V_{dsat} - V_{ds} - \delta + \sqrt{(V_{dsat} - V_{ds} - \delta)^2 + 4\delta V_{dsat}})$$

Εξίσωση 3-48

Όπου η μεταβλητή δ είναι μια παράμετρος που την εισάγει ο χρήστης με προκαθορισμένη τιμή 0.01.

3.1.5 Απλοποιημένο BSIM3v3 μοντέλο

Οι εξισώσεις για την μοντελοποίηση ενός MOSFET που είδαμε μέχρι τώρα είναι αρκετά περίπλοκές και χρειάζονται την βοήθεια ενός υπολογιστή για να υπολογιστούν. Για αυτό το λόγο έχουν αναπτυχθεί κάποιες πιο απλές εξισώσεις οι οποίες χρησιμοποιούνται ώστε να δώσουν στον σχεδιαστή μια γενική ιδέα για το κύκλωμά του και μπορούν να λυθούν ακόμα και με το χέρι.

Οι εξισώσεις αυτές αφορούν το ρεύμα Απαγωγού-Πηγής για τις δύο περιοχές λειτουργίας και είναι:

Για την γραμμική περιοχή:

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th} - \frac{V_{ds}}{2}) V_{ds}$$

Εξίσωση 3-49

Για την περιοχή κόρου:

$$I_{ds0} = \frac{\mu_n W C_{ox}}{2L} (V_{gs} - V_{th})^2$$

Εξίσωση 3-50

3.2 Εξαγωγή παραμέτρων ενός MOSFET [18]

Η τεχνική για την εξαγωγή των παραμέτρων για ένα μοντέλο είναι πολύ χρήσιμη γιατί συνδέει το κομμάτι της σχεδίασης του κυκλώματος και της υλοποίησής του σε πραγματικό εξάρτημα. Η διαδικασία ξεκινάει με την παραγωγή πρωτότυπων CMOS δειγμάτων σε ένα εργοστάσιο παραγωγής IC. Έπειτα αυτά τα δείγματα περνάνε από διάφορες μετρήσεις για να εξάγουν τις παραμέτρους για το μοντέλο BSIM3v3 χωρίς να λαμβάνουν υπόψιν την διαδικασία που ακολουθήθηκε για την παραγωγή των CMOS δειγμάτων.

3.2.1 Γενική Βελτιστοποίηση

Ο τελικός στόχος της διαδικασίας εξαγωγής των παραμέτρων είναι να βρεθούν κάποιες παράμετροι όπου το σφάλμα ανάμεσα στις πειραματικές μετρήσεις και τις μετρήσεις που παίρνουμε από το μοντέλο να είναι μικρό. Αυτό μπορεί να περιγραφεί με ένα τύπο ο οποίος φαίνεται παρακάτω όπου με ϵ είναι το σφάλμα:

$$\epsilon^2 = \sum_i [D_i(V_{G,D,S,B}^i) - M_i(p_1, p_2, \dots, p_n)(V_{G,D,S,B}^i)]^2$$

Εξίσωση 3-51

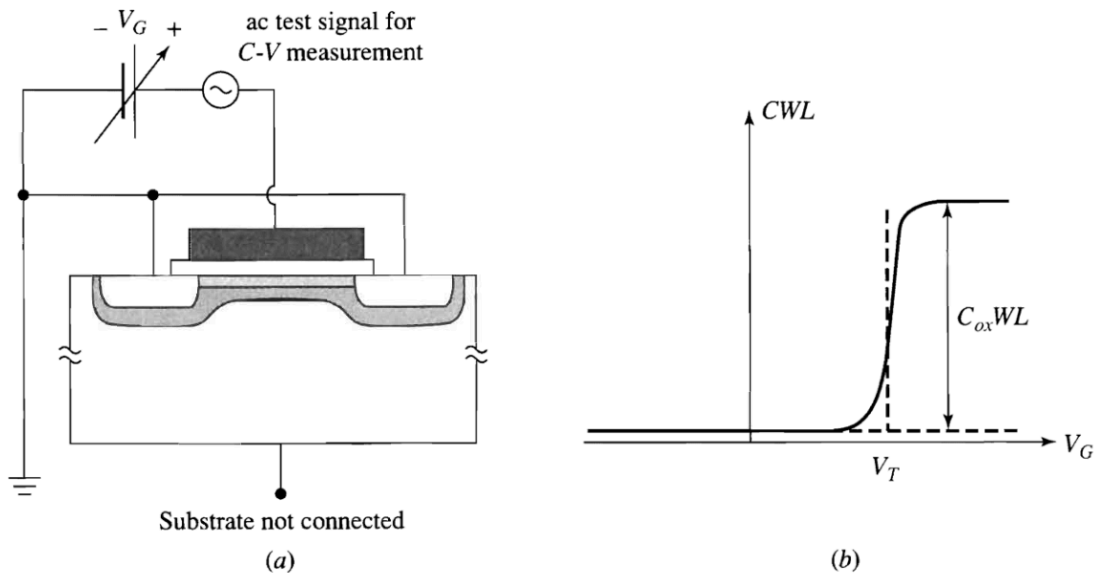
Το D_i είναι η τιμή της τάσης για κάθε μέτρηση για όλες τις πολώσεις ($V_{G,D,S,B}^i$) και M_i είναι η προβλέψεις των τιμών από το μοντέλο με (p_1, p_2, \dots, p_n) οι παράμετροι. Ο στόχος είναι να βρεθεί μια ομάδα παραμέτρων όπου το σφάλμα ϵ να είναι μικρό. Αυτή η μέθοδος ουσιαστικά χρησιμοποιεί έναν αλγόριθμο που προσπαθεί να βρει τις βέλτιστες τιμές που ικανοποιούν μια συνθήκη. Για αυτό το λόγο το μοντέλο που θα φτιαχτεί με αυτήν την μέθοδο δεν θα είναι τόσο ακριβές όσο αυτό που προσομοιώνει τα φυσικά φαινόμενα.

3.2.2 Τοπική Βελτιστοποίηση

Η μοντελοποίηση με τοπική βελτιστοποίηση είναι μια τεχνική όπου μια παράμετρος εξάγεται κάθε φορά η οποία αναφέρεται σε μια συγκεκριμένη περιοχή λειτουργίας. Με αυτήν την μέθοδο μπορούμε να βρούμε καλύτερες παραμέτρους γιατί σε αντίθεση με την γενική βελτιστοποίηση δεν προσπαθούμε να μειώσουμε το σφάλμα σε όλα τα πειραματικά δεδομένα αλλά για το κάθε μεμονωμένο φυσικό φαινόμενο ξεχωριστά. Αυτή η τεχνική εξάγει αρκετές σημαντικές παραμέτρους για το BSIM3v3 όπως το πάχος του οξειδίου x_{ox} , την τάση κατωφλίου V_T και την σχετική κινητικότητα μ_{eff} .

3.2.2.1 Εξαγωγή του πάχους του οξειδίου την Πύλης

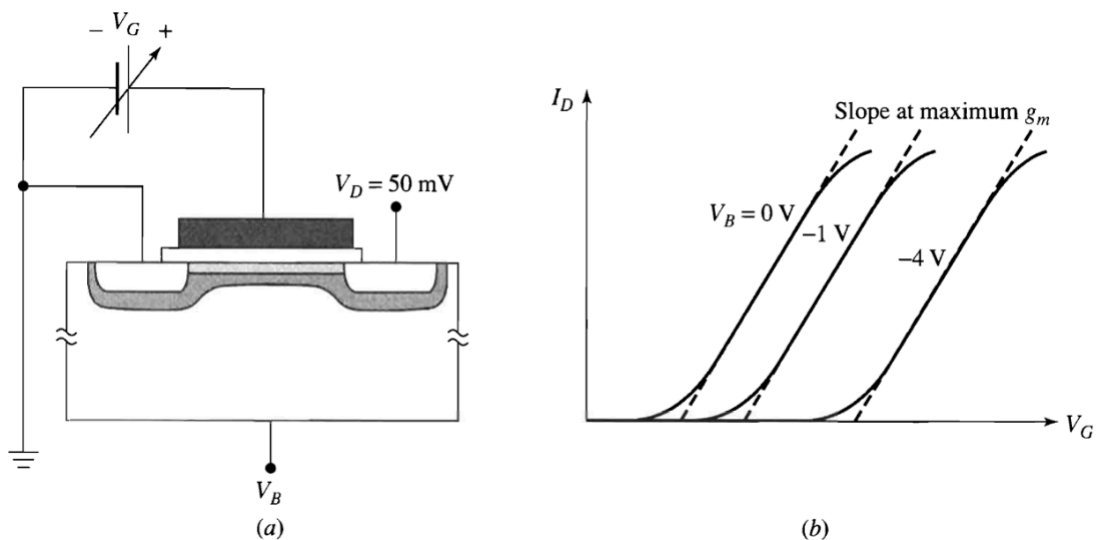
Το κύκλωμα που χρησιμοποιείται για την εξαγωγή του πάχους του οξειδίου x_{ox} φαίνεται στην παρακάτω εικόνα 3-11. Ο Απαγωγός και η Πηγή του MOSFET συνδέονται μαζί στην γη και η Πύλη πολώνεται θετικά. Το Σώμα παραμένει ασύνδετο (floating) και μετράμε τη χωρητικότητα ανάμεσα στην Πύλη και τη γη καθώς αυξάνουμε σταδιακά την τάση στην Πύλη. Η χαρακτηριστική που προκύπτει από μια τέτοια μέτρηση έχει μια απότομη εναλλαγή όταν $V_G = V_T$. Η αλλαγή της χωρητικότητας προκύπτει από $C_{ox}WL$ όπου W και L είναι γνωστά από τον σχεδιασμό του MOSFET και στην συνέχεια το x_{ox} εξάγεται από τον τύπο $x_{ox} = \epsilon_{ox}/C_{ox}$. Για να ελαχιστοποιηθούν τα σφάλματα οι μετρήσεις γίνονται σε μεγάλα MOSFET όπου το W και L είναι μεγαλύτερα από 10 μm



Εικόνα 3-11: Η διάταξη (a) που χρησιμοποιείται για την εξαγωγή της χαρακτηριστικής C-V (b) για τον υπολογισμό της χωρητικότητας της Πύλης και του πάχους Οξειδίου στην Πύλη

3.2.2.2 Εξαγωγή της τάσης κατωφλίου χαμηλού πεδίου

Στην παρακάτω εικόνα 3-12α φαίνεται το σχηματικό κύκλωμα που χρησιμοποιείται στην τεχνική για την εξαγωγή της τάσης κατωφλίου ενός MOSFET. Μετρείται το ρεύμα του Απαγωγού για σταθερή τάση πόλωσης στον Απαγωγό (συνήθως ~50mV) καθώς αυξάνεται σταδιακά η τάση της Πύλης V_G . Στην συνέχεια όπως φαίνεται στην εικόνα 3-12b, χαράζονται οι χαρακτηριστικές των μετρήσεων για τρεις διαφορετικές τάσης πόλωσης του Σώματος V_B . Εάν προεκτείνουμε την επαπτόμενη γραμμή στο σημείο με την μεγαλύτερη κλίση και εκεί που τέμνει τον άξονα V_G βρίσκουμε την τάση κατωφλίου V_T .



Εικόνα 3-12: Η διάταξη (a) και οι χαρακτηριστικές I_D-V_G (b) που χρησιμοποιούνται για την εξαγωγή της τάσης κατωφλίου V_T για χαμηλές τάσης στην Πύλη.

Για πολύ μικρές τιμές του V_D [$V_D \ll 2(V_G - V_T)$] η χαρακτηριστική μπορεί να προσεγγιστεί από τον τύπο:

$$I_D \approx \mu_{eff} C_{ox} \frac{W}{L} (V_G - V_T) V_D$$

Εξίσωση 3-52

Από την χαρακτηριστική φαίνεται ότι το I_D είναι γραμμικό και ανάλογο το V_G στην περιοχή όπου $V_G > V_T$ και μηδέν για $V_G = V_T$. Η μείωση της κλίσης που φαίνεται στο πάνω άκρο των χαρακτηριστικών σημαίνει ότι υπάρχει μείωση της κινητικότητας για μεγάλες τάσεις στην Πύλη.

3.2.2.3 Εξαγωγή της Σχετικής Κινητικότητας

Το ίδιο κύκλωμα της παραπάνω εικόνας χρησιμοποιείται για την εξαγωγή της σχετικής κινητικότητας συναρτήσεως της τάσης στην Πύλη. Για πολύ μικρές τάσεις πόλωσης του Απαγωγού V_D , οι τάσεις Πύλη-Πηγής και Πύλη-Απαγωγού είναι περίπου ίδιες και τα φορτία στο κανάλι και στο σώμα έχουμε σχεδόν την ίδια τιμή σε όλο το μήκος τους, για $y = 0$ έως $y = L$. Λύνοντας το τύπο ως προς μ_{eff} προκύπτει ο τύπος για την σχετική κινητικότητα:

$$\mu_{eff} \approx \frac{I_D L}{C_{ox} W (V_G - V) V_D}$$

Εξίσωση 3-53

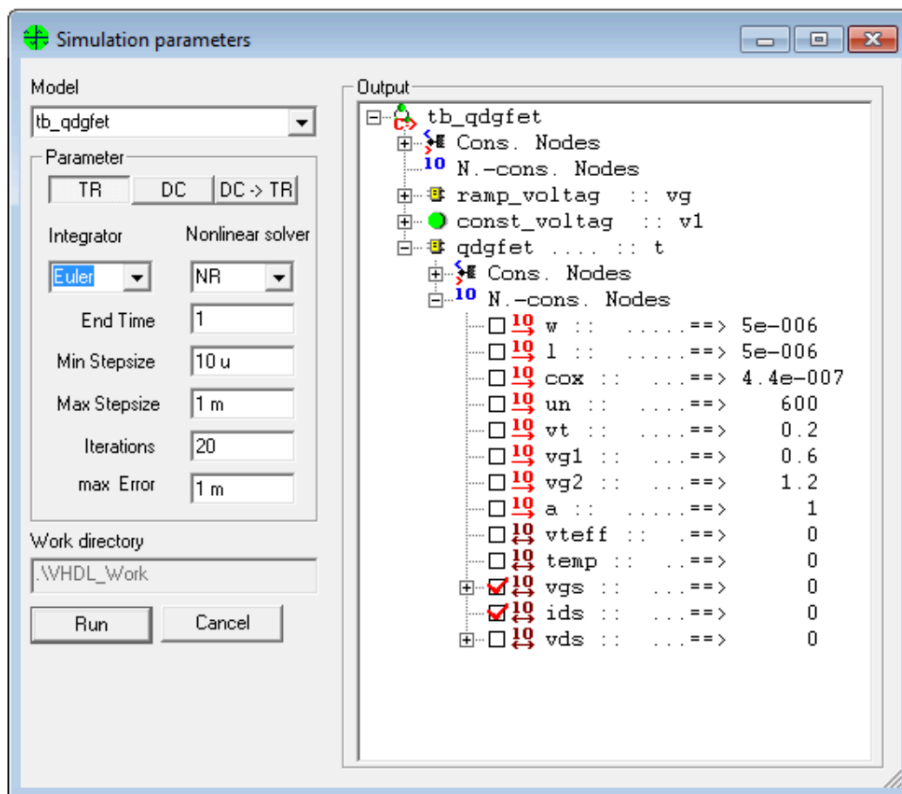
Για να εξάγουμε με αυτόν το τύπο μια ακριβείς τιμή για το μ_{eff} με αυτήν την τεχνική προϋποθέτει ότι ξέρουμε τις ακριβές τιμές των υπόλοιπων όρων.

4 Ανάπτυξη Κώδικα

4.1 Δοκιμή των μοντέλων για το QDGFET

Το hAMSter είναι ένα εργαλείο για προσομοίωση μοντέλων σε γλώσσα VHDL-AMS και χρησιμοποιείται από μηχανικούς και ερευνητές. Ο σχεδιασμός του περιβάλλοντος εργασίας είναι πολύ απλός. Περιέχει ένα Model Editor με συντακτικούς χρωματισμούς και μπορεί να γραφτεί κώδικας μοντέλων με ιεραρχικό τρόπο χρησιμοποιώντας είδη υπάρχοντα μοντέλα. Επίσης περιέχει και το Simulator ο οποίος περιέχει διαφόρους αλγορίθμους ολοκλήρωσης και μη γραμμικούς επιλυτές.

Στην παρακάτω εικόνα 4-1 φαίνεται το μενού διαλόγου για την εισαγωγή των παραμέτρων για την προσομοίωση ενός μοντέλου.



Εικόνα 4-1: Μενού διαλόγου προσομοίωσης στο hAMSter

Στο πεδίο Model επιλέγουμε το μοντέλο που θέλουμε να προσομοιώσουμε εάν στη περιγραφή του κώδικά περιέχονται περισσότερα από ένα μοντέλα. Στο πεδίο Parameters επιλέγουμε το τρόπο που θα γίνει η προσομοίωση.

Η παράμετρος TR χρησιμοποιείται για τον υπολογισμό του μοντέλου στο πεδίο του χρόνου. Αυτό συνήθως επιλέγεται όταν στο μοντέλο χρησιμοποιούνται στοιχεία όπου εξαρτώνται από το χρόνο (όπως μια πηγή ημιτονοειδής τάσης). Σε αυτό το τύπο προσομοίωσης μπορούμε να επιλέξουμε το Min Step Size, Max Step Size, Integration, Max Error καθώς επίσης και την μέθοδο ολοκλήρωσης (Euler's method ή Trapezoid rule) όπου λύνει μη γραμμικές εξισώσεις.

Euler's method

Η μέθοδος Euler είναι ρητή μέθοδος για λύσουμε διαφορικές εξισώσεις οι οποίες έχουν αρχικές τιμές. Κατατάσσεται στην κατηγορίες μεθόδων πεπερασμένης διαφοράς στις οποίες υπολογίζεται μια προσεγγιστική λύση και με κάθε επανάληψη χρησιμοποιείται η προηγούμενη

λύση για τον υπολογισμό της επόμενης. Συγκεκριμένα η μέθοδος Euler προσεγγίζει την λύση με βάση τον τύπο:

$$y_{n+1} = y_n + h * f(x_n, y_n)$$

Εξίσωση 4-1

Η μέθοδος Euler είναι τάξης 1, που σημαίνει το τοπικό σφάλμα αποκοπής είναι $O(h^2)$ και το ολικό σφάλμα είναι $O(h^1)$ όπου h είναι το βήμα μεθόδου.

Trapezoidal Method

Η μέθοδος τραπέζιου (ή αλλιώς έμμεση μέθοδος Euler) είναι μια έμμεση μονοβηματική μέθοδος για την λύση διαφορικών εξισώσεων και η γενική μορφή της είναι:

$$y_{n+1} = y_n + \frac{h}{2} * [f(x_n, y_n) + f(x_{n+1}, y_{n+1})]$$

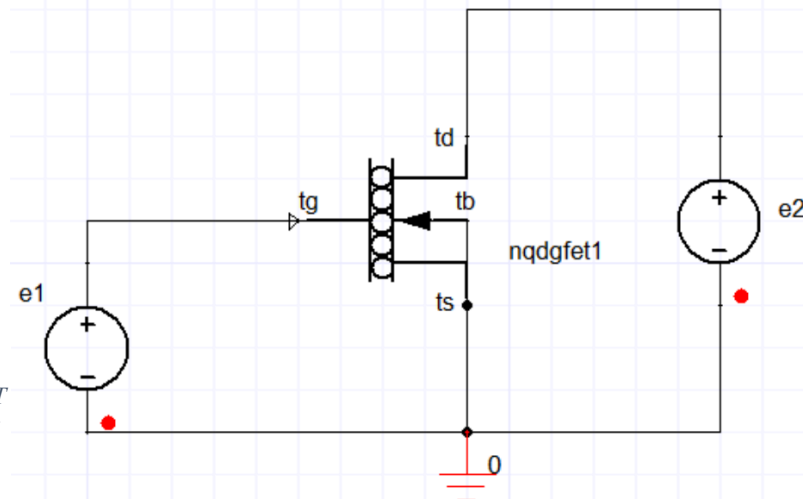
Εξίσωση 4-2

Η παράμετρος DC χρησιμοποιείται για τον υπολογισμό ενός σημείου λειτουργίας του κυκλώματος, αρχικές συνθήκες, χαρακτηριστικές καμπύλες κ.α. Είναι μια πολύ σημαντική λειτουργία για όλους τους προσομοιωτές κυκλωμάτων και λόγω των μη-γραμμικών στοιχείων που χρησιμοποιούνται η λύση της είναι πολύ δύσκολη. Για την λύση της χρησιμοποιούνται μέθοδοι μη-γραμμικών επιλυτών όπως η μέθοδος Newton-Raphson.

Στο πεδίο Output εμφανίζονται τα μοντέλα που χρησιμοποιούνται για την προσομοίωση με ιεραρχικό τρόπο. Για κάθε μοντέλο εμφανίζονται η μεταβλητές και τα quantity που είναι ειδικές μεταβλητές της VHDL-AMS. Επίσης μπορούμε να διαλέξουμε και κόμβους (nodes) που μπορεί να έχει το μοντέλο ή το testbench. Ανάλογα με το τύπο των δεδομένων που επιλέγουμε για να δούμε (αναλογικών ή ψηφιακών), κάθε ένα αναπαρίσταται στην δικιά του γραφική παράσταση.

4.2 hAMSter Testbench

Για να πάρουμε την χαρακτηριστική του μοντέλου του QDGFET φτιάχτηκε ένα πρωτότυπο Testbench στο hAMSter γιατί ήταν πιο απλό στην παραμετροποίηση και στον έλεγχο διαφορετικών μοντέλων. Το κύκλωμα που χρησιμοποιήθηκε για την χαρακτηριστική I-V είναι αυτό της εικόνας 4-2 παρακάτω. Μια πηγή σταθερής τάσης e2 συνδέθηκε στον Απαγωγό και μια πηγής μεταβλητής τάσης e1 στην Πύλη όπου η τάση θα ξεκινάει από 0V και θα αυξάνεται σταδιακά με το χρόνο. Θα μπορούσε να συνδεθεί και μια αντίσταση σε σειρά με την πηγή e2



Εικόνα 4-2: Σχηματικό κύκλωμα του testbench για την εξαγωγή των χαρακτηριστικών του N-Type QDGFET (η φωτογραφία είναι από το Simplorer και όχι το hAMSter)

για να περιορίσει το ρεύμα αλλά θα επικεντρωθούμε σε μικρές τιμές V_{gs} . Οι αρνητικοί πόλοι των πηγών και οι ακροδέκτες της Πηγής και Σώματος του QDGFET συνδέονται στο κοινό GND.

Για την πηγή μεταβλητής τάσης ο κώδικας είναι ο παρακάτω:

```
library IEEE;
LIBRARY DISCIPLINES;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;
--entity declaration.
ENTITY ramp_voltag IS
    GENERIC (value : Real);
    PORT (TERMINAL p,m: ELECTRICAL);--Interface ports.
END ramp_voltag;

--architecture declaration.
ARCHITECTURE behav OF ramp_voltag IS
    QUANTITY v_in ACROSS i_out THROUGH p TO m;
BEGIN
    --the constant voltage source equation.
    v_in == value * now;
END ARCHITECTURE behav;
```

Για την πηγή σταθερής τάσης ο κώδικας είναι ο παρακάτω:

```
--entity declaration.
ENTITY const_voltag IS
    GENERIC(value : Real);
    PORT(TERMINAL p,m: ELECTRICAL);--Interface ports.
END const_voltag;

--architecture declaration.
ARCHITECTURE behav OF const_voltag IS
    QUANTITY v_in ACROSS i_out THROUGH p TO m;
BEGIN
    --the constant voltage source equation.
    v_in == value;
END ARCHITECTURE behav;
```

Παρακάτω είναι ο κώδικας για το μοντέλο του QDGFET n-type και το p-type.

```
entity QDGFET is
generic (
    W      : Real := 5.0e-6;
    L      : Real := 5.0e-6;
    Cox    : Real := 0.44e-6;
    Un     : Real := 600.0;
    Vt     : Real := 0.2;
    Vg1    : Real := 0.6;
    Vg2    : Real := 1.2;
    a      : Real := 1.0
);
port(
    terminal tg,td,ts,tb : ELECTRICAL
);
end QDGFET;

architecture behav of QDGFET is

    quantity Vteff      : Real;
    quantity temp       : Real;

    quantity Vgs across tg to tb;
    quantity Vds across ids through td to ts;

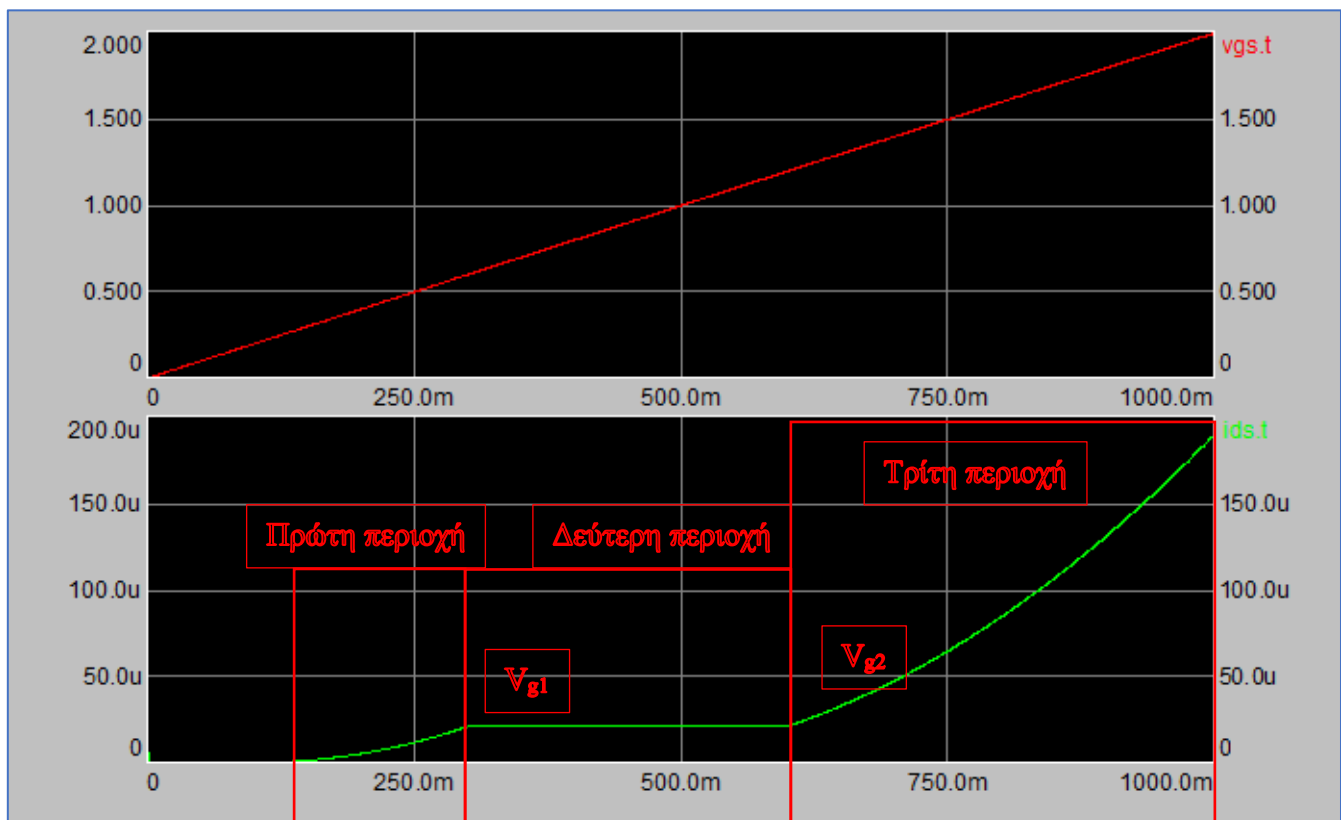
begin

    if      (Vgs < Vg1)                use
        Vteff == Vt;
    elsif  ((Vgs > Vg1) and (Vgs < Vg2)) use
        Vteff == Vt + a * (Vgs -
Vg1);
    elsif  (Vgs > Vg2)                use
        Vteff == Vt + a * (Vg2 - Vg1);
    end use;

    temp   == (Vgs - Vteff);

    if      (Vgs < Vteff)                use
        ids == 0.0;
    elsif  (temp > Vds)
use
        ids == (W/L) * Cox * Un * (temp - (Vds/2.0)) * Vds;
    else
        ids == (W/L) * Cox * Un * ((Vgs - Vteff) ** 2.0) / 2.0;
    end use;

end architecture behav;
```

Εικόνα 4-3: Οι χαρακτηριστικές των V_{gs} (κόκκινη) και I_{ds} (πράσινη) για N-Type QDGFET

Στην εικόνα 4-3, φαίνεται η χαρακτηριστική (πράσινη) ενός N-Type QDGFET. Θα μπορούσαμε να πούμε ότι είναι παρόμοια με ενός συμβατικού MOSFET, με την διαφορά ότι προστέθηκε ακόμα μια περιοχή στην γραφική (δεύτερη περιοχή στην χαρακτηριστική ή αλλιώς ενδιάμεση κατάσταση).

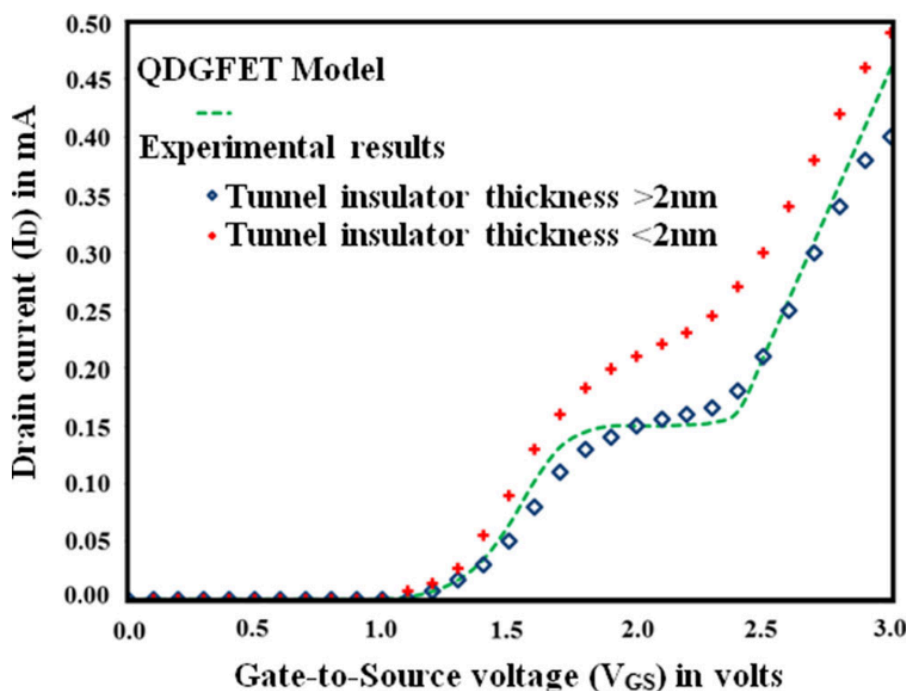
Όπως είδαμε σε ένα συμβατικό MOSFET καθώς αυξάνεται η τάση στην Πύλη, αρχίζουν και έλκονται φορτία αντίθετου δυναμικού από το υπόστρωμα στο οξειδίο. Όταν η τάση στην Πύλη περάσει μια τάση V_T (τάση κατωφλίου) τότε σχηματίζεται αγωγίμο κανάλι και υπάρχει ρεύμα I_{DS} . Καθώς συνεχίζεται και αυξάνεται η τάση στην Πύλη, το ρεύμα αυξάνεται.

Στην περίπτωση του MOSFET η τάση κατωφλίου παραμένει σχεδόν σταθερή (εξίσωση 3-1), γιατί εξαρτάται από τα χαρακτηριστικά των ημιαγωγών, και την δομή του MOSFET. Στο MOSFET ο ακροδέκτης στη περιοχή της Πύλης δεν μπορεί να συγκρατήσει φορτία γιατί συνδέεται απευθεία στο ηλεκτρόδιο της Πύλης. Για αυτό το λόγο τα ηλεκτρόνια που καταφέρνουν και μεταπηδήσουν το μονωτικό οξειδίο δραπετεύουν στο ηλεκτρόδιο.

Όμως σε ένα QDGFET, η παρουσία των κβαντικών τελειών στην Πύλη αλλάζει την συμπεριφορά της τάσης κατωφλίου. Σε ένα QDGFET, μετά από μια τάση V_{g1} (εξίσωση 3-54) τα ηλεκτρόνια μεταπηδούν από την περιοχή αναστροφής στο κανάλι, στα επίπεδα κβαντικών τελειών. Επειδή φορτία αρχίζουν και συσσωρεύονται στην περιοχή της Πύλης, η τάση κατωφλίου αυξάνεται. Άρα έχουμε μια αύξηση της τάση κατωφλίου καθώς αυξάνεται η τάση στην Πύλη στην περιοχή 2 της χαρακτηριστικής (εικόνα 4-3). Αυτό έχει σαν αποτέλεσμα μετά από μια τάση $V_{GS} > V_{g1}$ το ρεύμα I_{ds} να παραμένει σταθερό. Αυτός ο μηχανισμός δημιουργεί την ενδιάμεση κατάσταση στο QDGFET.

Για το μοντέλο που προσομοιώθηκε στην διπλωματική δεν έχουν γίνει πειραματικές μετρήσεις. Όμως στην δημοσίευση [23], έγινε σύγκριση του ίδιου μοντέλου με παρόμοια χαρακτηριστικά (εικόνα 4-4) και συγκρίθηκαν τα αποτελέσματα του μοντέλου με αυτά των πειραματικών

μετρήσεων. Οι χαρακτηριστικές αυτές φαίνονται στην παρακάτω εικόνα 4-4. Μπορούμε να δούμε ότι το μοντέλο είναι αρκετά κοντά στα πειραματικά αποτελέσματα.



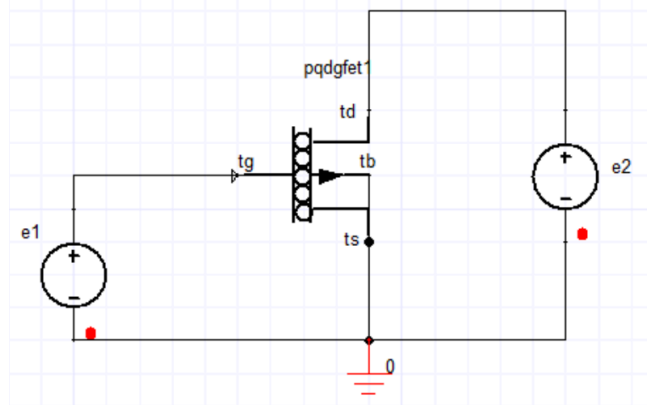
Εικόνα 4-4: Σύγκριση μοντέλου QDGFET με πειραματικά αποτελέσματα

Table 1 Device parameters for charge control simulation

Channel Length (L)	$5\ \mu\text{m}$
Channel Width (W)	$10\ \mu\text{m}$
QD gate capacitance (C_{OX})	$4.4 \times 10^{-7}\ \text{F/cm}^2$
Drain-source voltage (V_{DS})	0.5V
Mobility (μ_n)	$600\ \text{cm}^2/\text{V.s}$
Ge QD diameter	$4\ \text{nm}$
ZnMgS Barrier height	$1\ \text{eV}$
Threshold voltage without QD gate charge (V_{th0})	-2V
Total gate layer	$\sim 14\text{nm}$
Effective dielectric constant	12
Center of QD1 from gate	$\sim 9\ \text{nm}$
Center of QD2 from gate	$\sim 3\ \text{nm}$

Εικόνα 4-5: Χαρακτηριστικά μοντέλου QDGFET

Στην παρακάτω εικόνα 4-4 φαίνεται το κύκλωμα που χρησιμοποιήθηκε για την εξαγωγή της χαρακτηριστικής I-V του QDGFET p-type μοντέλου.



Εικόνα 4-6: Σχηματικό κύκλωμα του testbench για την εξαγωγή των χαρακτηριστικών του P-Τυπε QDGFET (η φωτογραφία είναι από το Simplorer και όχι το hAMStor)

Ο κώδικας του μοντέλου:


```

entity PQDGFET is
generic (
    W      : Real := 32.0e-9;
    L      : Real := 32.0e-9;
    Cox    : Real := 0.44e-6;
    Un     : Real := 300.0;
    Vt     : Real := 2.0;
    Vg1    : Real := 2.2;
    Vg2    : Real := 3.0;
    a      : Real := 1.0
);
port(
    terminal tg,td,ts,tb : ELECTRICAL
);
end PQDGFET;

architecture behav of PQDGFET is

    quantity Vteff      : Real;
    quantity temp       : Real;
    quantity Vsg        : Real;
    quantity Vsd        : Real;

    quantity Vgs across tg to tb;
    quantity Vds across ids through td to ts;

begin
    Vsg == -Vgs;
    Vsd == -Vds;
    if (Vsg < Vg1) use
        Vteff == Vt;
    elsif ((Vsg > Vg1) and (Vsg < Vg2)) use
        Vteff == Vt + a * (Vsg - Vg1);
    elsif (Vsg > Vg2) use
        Vteff == Vt + a * (Vg2 - Vg1);
    end use;

    temp == (Vsg - Vteff);

    if Vsg <= Vteff use
        ids == 0.0;
    elsif (Vsg > Vteff) and (temp >= Vsd) use
        ids == -(W/L) * Cox * Un * (Vsg - Vteff - (Vsd/2.0)) * Vsd;
    elsif (Vsg > Vteff) and (temp < Vsd) use
        ids == -(W/L) * Cox * Un * ((Vsg - Vteff) ** 2.0) / 2.0;
    end use;

end architecture behav;

```

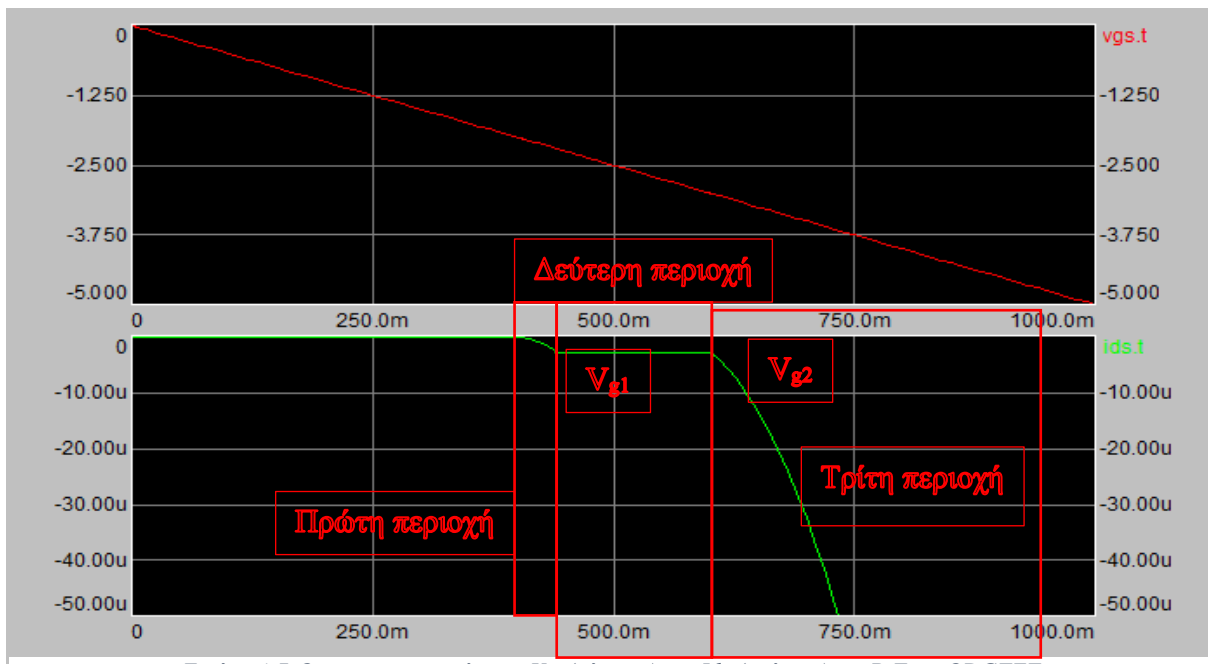
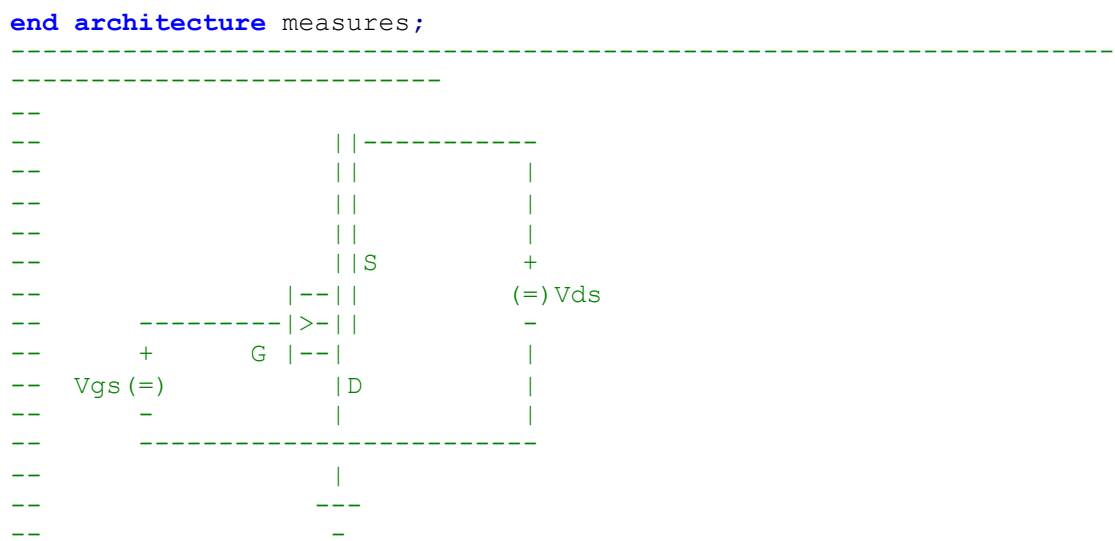
Ο κωδικός της σύνδεσης των μοντέλων μεταξύ τους και η δήλωση των τιμών.

```
entity tb_pqdgfet is
end;

architecture measures of tb_pqdgfet is
    terminal n1, n2 : ELECTRICAL;
begin
    T: Entity pqdgfet(behav)
        port map (n1, electrical_ground, n2, electrical_ground);

    Vg:Entity ramp_voltag(behav)
        generic map(2.0)
        port map (n1, electrical_ground);

    V1:Entity const_voltag(behav)
        generic map(5.0)
        port map (n2, electrical_ground);
end architecture measures;
```



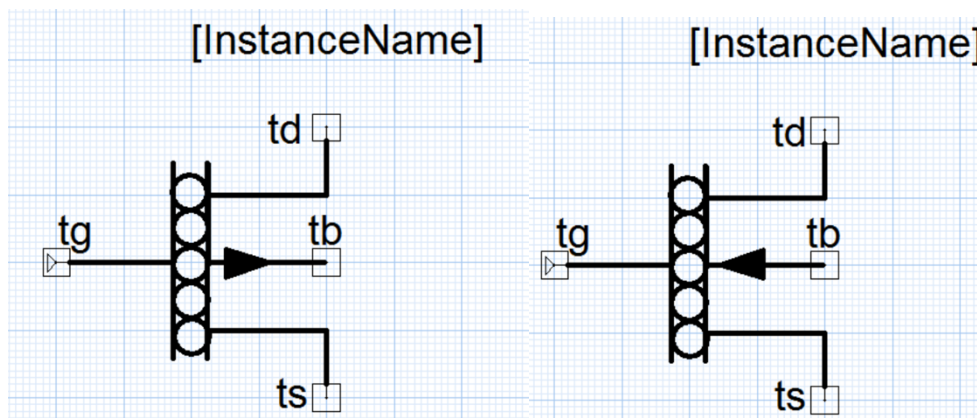
Εικόνα 4-7:Οι χαρακτηριστικές των V_{gs} (κόκκινη) και I_{ds} (πράσινη) για P-Type QDGFET

Στην εικόνα 4-7 φαίνεται η χαρακτηριστική (πράσινο χρώμα) ενός P-Type QDGFET οι τρεις περιοχές λειτουργίας. Σε ένα P-Type QDGFET, για να αρχίζει να σχηματίζεται κανάλι, η τάση στην Πύλη θα πρέπει να έχει χαμηλότερο δυναμικό από την τάση στην Πηγή. Για αυτό το λόγο η επαφές Απαγωγού και Πηγής πολώνονται ανάστροφα από ότι σε ένα N-Type, με αποτέλεσμα να έχουμε ένα ρεύμα I_{sd} στο κανάλι. Επειδή το μοντέλο υπολογίζει το ρεύμα I_{ds} προκύπτει ένα ρεύμα ίδιο με το I_{sd} αλλά με αντίθετη φορά για αυτό και είναι αρνητικό

4.3 Σύνθεση του μοντέλου του QDGFET στο Simplorer

Το πρόγραμμα ANSYS Simplorer χρησιμοποιήθηκε για την προσομοίωση των τρανζίστορ QDGFET και των κυκλωμάτων. Είναι ένα πρόγραμμα στο οποίο μπορείς να δημιουργήσεις μοντέλα και περίπλοκα συστήματα και να τα προσομοιώσεις με τα πολλά εργαλεία που προσφέρει. Για την παρούσα διπλωματική χρησιμοποιήθηκε το VHDL-AMS Model Editor κυρίως για την δημιουργία των μοντέλων των τρανζίστορ. Περιέχει και δικά του packages από τα οποία χρησιμοποιήθηκαν τα IEEE.ELECTRICAL_SYSTEMS.ALL και IEEE.MATH_REAL.ALL, της βιβλιοθήκης IEEE, τα οποία περιέχουν δηλώσεις για ηλεκτρικά συστήματα και μαθηματικούς τύπους.

Αρχικά σχεδιάστηκαν τα σύμβολα των QDGFET P-type και N-type όπως φαίνονται στην παρακάτω εικόνα 4-8. Τα σύμβολα είναι παρόμοια με ενός κοινού MOSFET μόνο που στην Πύλη υπάρχουν τα κυκλάκια που δηλώνουν την ύπαρξη των κβαντικών τελειών ανάμεσα στην Πύλη και το κανάλι. Το σύμβολο έχει τους τρεις ακροδέκτες (ports) Πύλη, Πηγή και Απαγωγό καθώς επίσης των ακροδέκτη του Υποστρώματος. Ο ακροδέκτης του Υποστρώματος δεν συμβάλει στην λειτουργία του τρανζίστορ μιας και οι τύποι που χρησιμοποιήθηκαν είναι απλοποιημένοι, όμως χρειάζεται να συνδεθεί μαζί με την Πηγή.



Εικόνα 4-8: Τα σχηματικά σύμβολα του P-Type QDGFET και N-Type QDGFET αντίστοιχα

Αφού δημιουργήθηκαν τα σύμβολα γράφτηκε ο κώδικας συμπεριφοράς των τρανζίστορ. Το μοντέλο που χρησιμοποιήθηκε είναι γραμμένο σε VHDL-AMS.

Παρακάτω φαίνονται οι κώδικες για τους δύο τύπους τρανζίστορ, N-type και P-type. Τα χαρακτηριστικά (W, L, C_{ox} κτλπ.) για λόγους ευκολίας είναι τα ίδια το μόνο που αλλάζει είναι οι εξισώσεις των μοντέλων. Οι εξισώσεις που περιγράφουν το V_{teff} και το I_{ds} για το N-type τρανζίστορ είναι από το βιβλίο [12] όπου βασίζονται στα BSIM μοντέλα.

Χρησιμοποιήθηκε ένα εμπειρικό μοντέλο το οποίο λαμβάνει υπόψιν την ενδιάμεση κατάσταση “i” την οποία έχουμε σε μια περιοχή τιμών τάσεων Πύλης V_{g1} και V_{g2} . Οι τάσεις κατωφλίου χωρίζονται σε τρεις περιοχές που δηλώνουν τις τρεις περιοχές της χαρακτηριστικής I-V του τρανζίστορ: η περιοχή 1, η ενδιάμεση κατάσταση “i”, και η περιοχή κορεσμού.

$$V_{Teff} = \begin{cases} V_T & V_{GS} < V_{g1} \\ V_T + a(V_{GS} - V_{g1}) & V_{g1} < V_{GS} < V_{g2} \\ V_T + a(V_{g2} - V_{g1}) & V_{GS} > V_{g2} \end{cases}$$

Εξίσωση 4-3

Παραπάνω φαίνονται οι εξισώσεις για τον υπολογισμό της ενεργής τάσης κατωφλίου V_{Teff} , για τις τρεις περιοχές λειτουργίας σύμφωνα με την τάση πόλωσης της Πύλης. Η παράμετρος a καθορίζει πως θα αλλάξει η τάση κατωφλίου ανάλογα με την τάση στην Πύλη. Για $a = 0$, το QDGFET συμπεριφέρεται σαν ένα συμβατικό FET, και με $a = 1$ η τάση κατωφλίου ακολουθεί ακριβώς την αύξηση της τάση της Πύλης. Η παράμετρος a επηρεάζεται από το πάχος των μονωτικών και από το μέγεθος που έχουν οι κβαντικές τελείες.

$$I_{DS} = \begin{cases} 0 & V_{GS} < V_{Teff} \\ \frac{W}{L} C_{ox} \mu \left(V_{GS} - V_{Teff} - \frac{V_{DS}}{2} \right) V_{DS} & V_{DS} < V_{GS} - V_{Teff} \\ \frac{W}{L} C_{ox} \mu \frac{(V_{GS} - V_{Teff})^2}{2} & V_{DS} > V_{GS} - V_{Teff} \end{cases}$$

Εξίσωση 4-4

Για σταθερά $a = 1$ και όταν βρισκόμαστε στην περιοχή ανάμεσα σε V_{g1} και V_{g2} , το ρεύμα του απαγωγού γίνεται $I_{DS} = \frac{W}{L} C_{ox} \mu \left(V_{g1} - V_T - \frac{V_{DS}}{2} \right) V_{DS}$ που σημαίνει ότι δεν εξαρτάται πλέον από V_{GS} σε αυτήν την περιοχή αλλά μόνο από την τάση V_{DS} . Αυτό έχει σαν αποτέλεσμα για σταθερή τάση V_{DS} , σε αυτήν την περιοχή το ρεύμα παραμένει σταθερό.

```

----- VHDLAMS MODEL n_qdgfet -----
----- ENTITY DECLARATION n_qdgfet -----
LIBRARY IEEE;
USE IEEE.ELECTRICAL_SYSTEMS.ALL;
USE IEEE.MATH_REAL.ALL;

entity NQDGFET is
generic (
W      : Real := 32.0e-9;
L      : Real := 32.0e-9;
Cox    : Real := 0.44e-6;
Un     : Real := 300.0;
Vt     : Real := 2.0;
Vg1    : Real := 2.2;
Vg2    : Real := 3.0;
a      : Real := 1.0
);
port (
terminal tg,td,ts,tb : ELECTRICAL
);
end NQDGFET;

----- ARCHITECTURE DECLARATION arch_n_qdgfet -----
architecture behav of NQDGFET is
quantity Vteff : Real;
quantity temp  : Real;

quantity Vgs across tg to tb;
quantity Vds across td to ts;
quantity ids through td to ts;

begin

if (Vgs < Vg1) use
Vteff == Vt;
elsif ((Vgs > Vg1) and (Vgs < Vg2)) use
Vteff == Vt + a * (Vgs - Vg1);
elsif (Vgs > Vg2) use
Vteff == Vt + a * (Vg2 - Vg1);
end use;

temp == (Vgs - Vteff);

if (Vgs <= Vteff) use
ids == 0.0;
elsif (Vgs > Vteff) and (temp >= Vds) use
ids == (W/L) * Cox * Un * (temp - (Vds/2.0)) * Vds;
elsif (Vgs > Vteff) and (temp < Vds) use
ids == (W/L) * Cox * Un * ((Vgs - Vteff) ** 2.0) / 2.0;
end use;

end architecture behav;
----- END VHDLAMS MODEL n_qdgfet -----

```

Οι εξισώσεις για την ενεργό τάση κατωφλίου και το ρεύμα στο κανάλι για της τρείς περιοχές παραμένουν ίδιες με αυτές του N-Type QDGFET αφού η αρχή λειτουργία παραμένει ίδια. Αυτό που αλλάζει είναι οι πολώσεις των τάσεων για το λόγο ότι σε ένα P-Type τρανζίστορ, η τάση στην πύλη θα πρέπει να έχει μικρότερο δυναμικό από το υπόστρωμα, δηλαδή τον Απαγωγό αφού εσωτερικά ο Απαγωγός και το υπόστρωμα είναι συνδεδεμένα. Έτσι οι εξισώσεις για την ενεργό τάση κατωφλίου είναι:

$$V_{Teff} = \begin{cases} V_T & V_{SG} < V_{g1} \\ V_T + a(V_{SG} - V_{g1}) & V_{g1} < V_{SG} < V_{g2} \\ V_T + a(V_{g2} - V_{g1}) & V_{SG} > V_{g2} \end{cases}$$

Ομοίως και για το ρεύμα I_{ds}

$$I_{DS} = \begin{cases} 0 & V_{SG} < V_{Teff} \\ -\frac{W}{L} C_{ox} \mu \left(V_{SG} - V_{Teff} - \frac{V_{SD}}{2} \right) V_{SD} & V_{SD} < V_{SG} - V_{Teff} \\ \frac{W}{L} C_{ox} \mu \frac{(V_{SG} - V_{Teff})^2}{2} & V_{SD} > V_{SG} - V_{Teff} \end{cases}$$

```

----- VHDLAMS MODEL p_qdgfet -----
LIBRARY IEEE;
USE IEEE.ELECTRICAL_SYSTEMS.ALL;
USE IEEE.MATH_REAL.ALL;

entity PQDGFET is
generic (
W      : Real := 32.0e-9;
L      : Real := 32.0e-9;
Cox    : Real := 0.44e-6;
Un     : Real := 300.0;
Vt     : Real := 2.0;
Vg1    : Real := 2.2;
Vg2    : Real := 3.0;
a      : Real := 1.0
);
port(
terminal tg,td,ts,tb : ELECTRICAL
);
end PQDGFET;
----- ENTITY DECLARATION p_qdgfet -----

----- ARCHITECTURE DECLARATION arch_p_qdgfet -----
architecture behav of PQDGFET is

quantity Vteff  : Real;
quantity temp   : Real;
quantity Vsg    : Real;
quantity Vsd    : Real;

quantity Vgs across tg to tb;
quantity Vds across td to ts;
quantity ids through td to ts;

begin
Vsg == -Vgs;
Vsd == -Vds;
if (Vsg < Vg1) use
Vteff == Vt;
elsif ((Vsg > Vg1) and (Vsg < Vg2)) use
Vteff == Vt + a * (Vsg - Vg1);
elsif (Vsg > Vg2) use
Vteff == Vt + a * (Vg2 - Vg1);
end use;

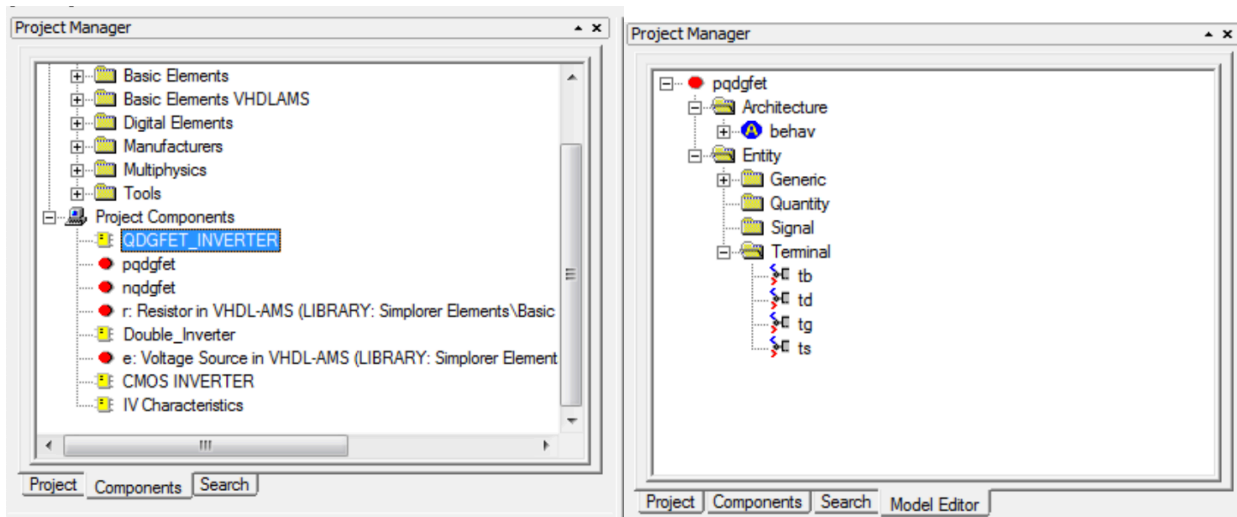
temp == (Vsg - Vteff);

if Vsg <= Vteff use
ids == 0.0;
elsif (Vsg > Vteff) and (temp >= Vsd) use
ids == -(W/L) * Cox * Un * (Vsg - Vteff - (Vsd/2.0)) * Vsd;
elsif (Vsg > Vteff) and (temp < Vsd) use
ids == -(W/L) * Cox * Un * ((Vsg - Vteff) ** 2.0) / 2.0;
end use;

end architecture behav;

```

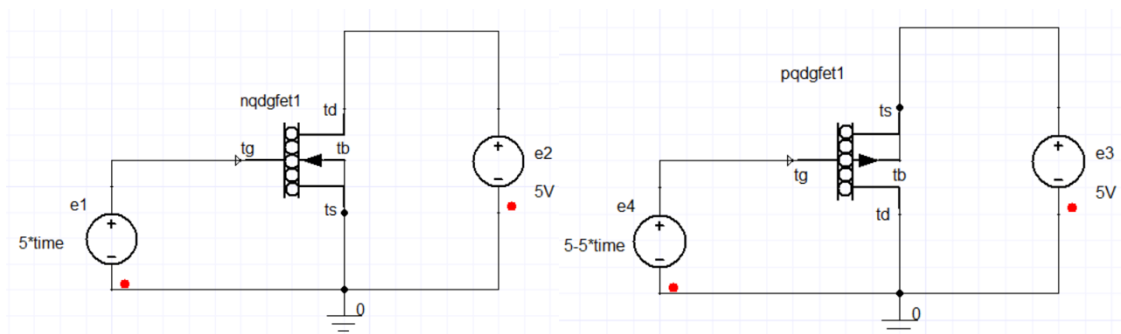
Παρακάτω στην εικόνα 4-9 φαίνεται ο project manager του Simplorer. Στον project manager φαίνονται όλα τα ανοιχτά project που χρησιμοποιούνται, τα εξαρτήματα και τα μοντέλα. Για κάθε ένα από αυτά εμφανίζονται πληροφορίες όπως η δομή και μεταβλητές των μοντέλων όπως φαίνεται παρακάτω.



Εικόνα 4-9: Ο Project Manager του Simplorer.

4.4 Χαρακτηριστικές μεταφοράς του QDGFET στο Simplorer

Για την εξαγωγή των χαρακτηριστικών μεταφοράς των τρανζίστορ χρησιμοποιήθηκαν δύο DC πηγές τάσης. Την πρώτη σταθερή ώστε να πολώνει την Πηγή και τον Απαγωγό, και την δεύτερη μεταβλητή ώστε να πολώνει με διαφορετικές τιμές την Πύλη. Τα χαρακτηριστικά της μεταβλητής πηγής τάσης φαίνονται στις εικόνες 4-9 και 4-10.

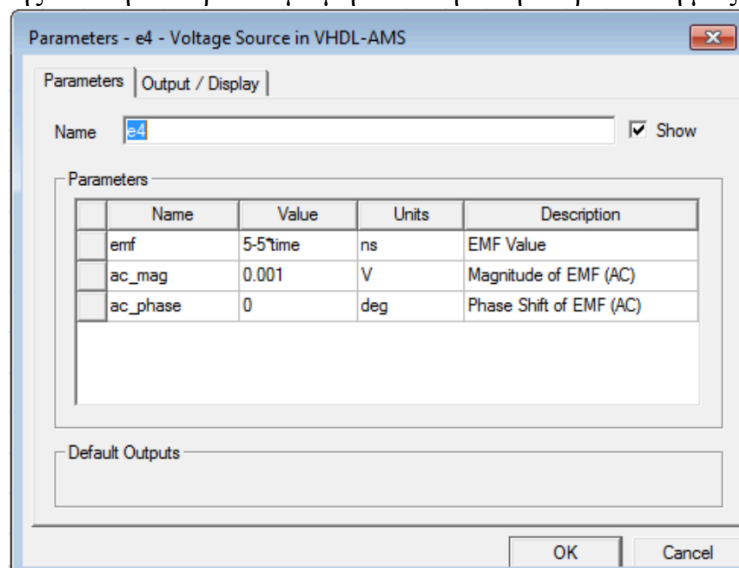


Εικόνα 4-10: Σχηματικά κυκλώματα που χρησιμοποιήθηκαν για την εξαγωγή χαρακτηριστικών μεταφοράς στο Simplorer

Στην πηγή Τάσης μπορείς να δηλωθεί η μεταβλητή emf (electromotive force) όπως είναι η τάση που θα έχει. Εκτός από αριθμούς μπορείς να δηλώσεις συναρτήσεις. Σε αυτή την περίπτωση θέλουμε να αυξάνεται η τάση με την πάροδο του χρόνου προσομοίωσης για αυτό δηλώθηκε μια συνάρτηση της μορφής $V \cdot \text{time}$. Ο χρόνος προσομοίωσης δηλώθηκε 1s έτσι η μεταβλητή V είναι η μέγιστη τιμή που θα πάρει η πηγή τάσης.

Στην περίπτωση του P-QDGFET θέλουμε η τάση να μειώνεται σταδιακά για να αυξάνεται η τάση V_{gs} , για αυτό η συνάρτηση που χρησιμοποιήσα είναι $V - V \cdot \text{time}$.

Επιπλέον, μπορούμε να ρυθμίσουμε και κάποιο ripple voltage (ac_mag) που μπορεί να έχει η πηγή τάσης εάν την θεωρούσαμε μη ιδανική. Στην περίπτωσή μας θεωρούμε την



Εικόνα 4-11: Παράθυρο εισαγωγής παραμέτρων για την πηγή τάσης

πηγή ιδανική και το ac_mag το θεωρήθηκε πολύ μικρό. Το ac_phase είναι η διαφορά φάσης που θα έχει η τάση της πηγής εάν είχαμε ac_mag . Αυτό μπορεί να είναι χρήσιμο εάν έχουμε πολλές μη ιδανικές πηγές τάσης στο κύκλωμα και να μην θέλουμε ο θόρυβος σε όλες τις πηγές να είναι συντονισμένος.

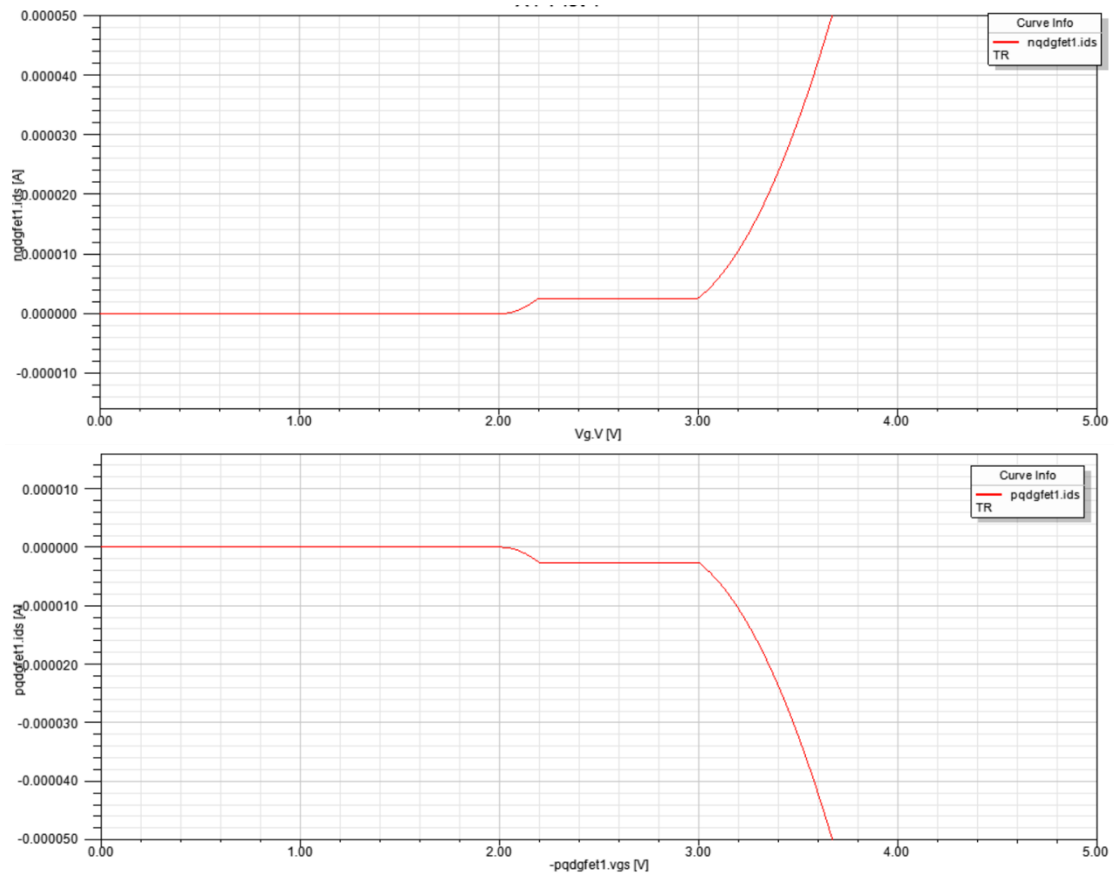
Παρακάτω στην εικόνα 4-11 φαίνονται τα χαρακτηριστικά των δύο QDGFET. Σε πρώτη φάση τα χαρακτηριστικά είναι ίδια ώστε να επαληθεύσουμε ότι τα μοντέλα είναι ίδια και λειτουργούν σωστά. Αργότερα θα αλλάξουμε τα χαρακτηριστικά για να δούμε πως επηρεάζεται η χαρακτηριστική.

Name	Value	Unit	Evaluated Value	SDB
w	3.2e-008		3.2e-008	<input type="checkbox"/>
l	3.2e-008		3.2e-008	<input type="checkbox"/>
cox	4.4e-007		4.4e-007	<input type="checkbox"/>
un	300		300	<input type="checkbox"/>
vt	2		2	<input type="checkbox"/>
vg1	2.2		2.2	<input type="checkbox"/>
vg2	3		3	<input type="checkbox"/>
a	1		1	<input type="checkbox"/>
InstanceN...	nqdgfet1			<input type="checkbox"/>
Simulator...	nqdgfet - behav			<input type="checkbox"/>
Status	Active			<input type="checkbox"/>

Εικόνα 4-12: Χαρακτηριστικά του N-Type και P-Type QDGFET

Το w και το l είναι το πλάτος του καναλιού W και μήκος L του καναλιού του QDGFET. Το cox είναι η χωρητικότητα C_{ox} που υπάρχει ανάμεσα στη περιοχή της Πύλης και του υποστρώματος. Το un είναι η κινητικότητα των ηλεκτρονίων ή των οπών ανάλογα το είδος του τρανζίστορ. Το vt είναι η τάση κατωφλίου και τα $vg1$ και $vg2$ ορίζουν την περιοχή που θα έχουμε την ενδιάμεση κατάσταση. Η παράμετρος a ορίζει κατά πόσο του μοντέλο θα λειτουργεί σαν QDGFET ή συμβατικό MOSFET.

Παρακάτω στην εικόνα 4-13 φαίνονται οι χαρακτηριστικές μεταφοράς των δύο τρανζίστορ. Όπως είδαμε από τις εξισώσεις, μετά από μια τάση στην Πύλη, η τάση κατωφλιού αυξάνεται και αυτή, με αποτέλεσμα το ρεύμα Απαγωγού να μένει σταθερό σχηματίζοντας αυτήν την ενδιάμεση κατάσταση. Το εύρος της τάσης Πύλης όπου θα έχουμε αυτήν την ενδιάμεση κατάσταση εξαρτάται από το ενεργειακό επίπεδο των κβαντικών τελειών σε σχέση με την ενέργεια του καναλιού αναστροφής του κβαντικού πηγαδιού.



Εικόνα 4-13: Χαρακτηριστικές μεταφοράς των δύο τρανζίστορ. Η πρώτη του N-Type QDGFET και η δεύτερη του P-Type QDGFET

4.5 Αρχιτεκτονική CMOS Inverter με QDGFET

Σε αυτό το κεφάλαιο θα προσομοιώσουμε έναν Αντιστροφέα τριαδικής λογικής ο οποίος έχει τρεις καταστάσεις (ternary logic). Ο αντιστροφέας τριαδικής λογικής έχει μια είσοδο (r) και τρεις πιθανές εξόδους (l_0, l_1, l_2) όπου η έξοδος περιγράφεται από τις παρακάτω εξισώσεις:

$$l_0 = \begin{cases} 2 & \text{εάν } r = 0 \\ 0 & \text{εάν } r \neq 0 \end{cases}$$

$$l_1 = 2 - r$$

$$l_2 = \begin{cases} 2 & \text{εάν } r \neq 2 \\ 0 & \text{εάν } r = 2 \end{cases}$$

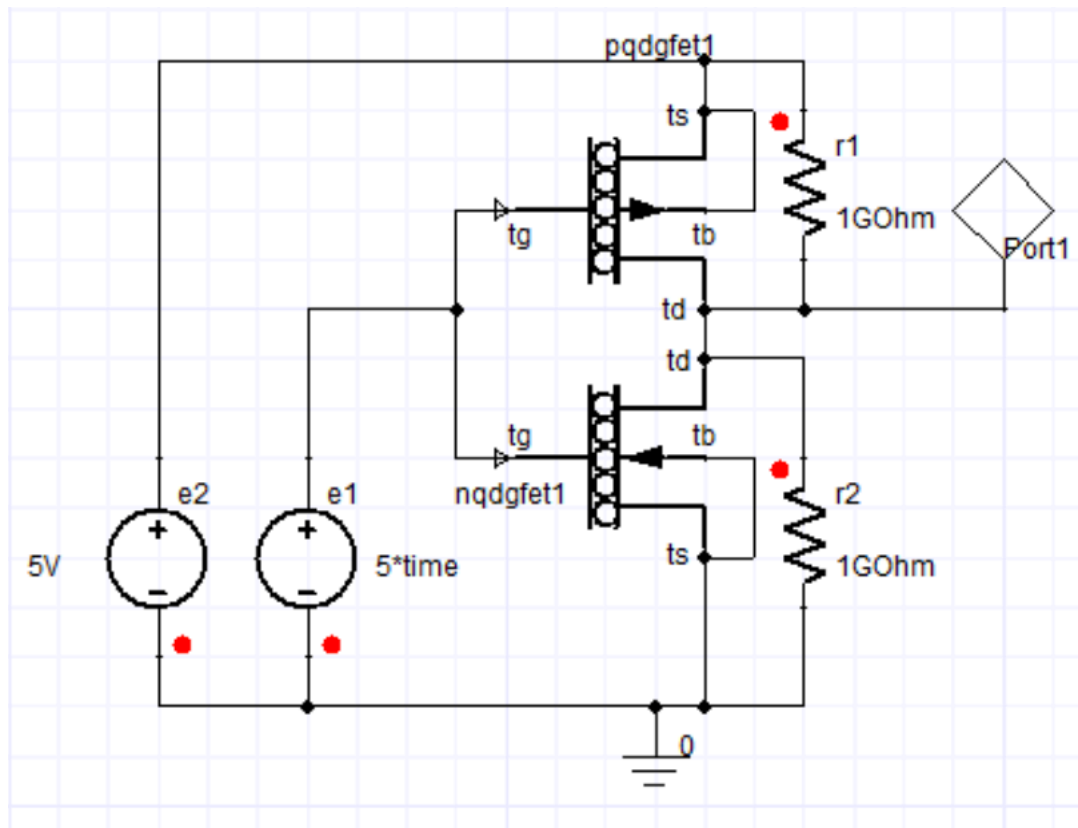
Εξίσωση 4-5

Με το r να είναι ο αριθμός το λογικών καταστάσεων. Ο πίνακας αληθείας ενός τριαδικού αντιστροφέα φαίνεται στον παρακάτω πίνακα.

Είσοδος	STI	PTI	NTI
0	2	2	2
1	1	2	0
2	0	0	0

Πίνακας 3: Πίνακας καταστάσεων διαφορετικών τύπων αντιστροφέων

Ο βασικός αντιστροφέας είναι ο STI (standard ternary inverter) όπου η λειτουργία του είναι παρόμοια με τον δυαδικό αντιστροφέα που ξέρουμε. Οι αντιστροφείς PTI (positive ternary inverter) και NTI (negative ternary inverter) έχουν διαφορετική τάση κατωφλίου και διαφορετικές διαστάσεις του καναλιού από το STI. Ανάλογα την τάση κατωφλίου που έχει το P-type και το N-type τρανζίστορ καθορίζεται εάν είναι NTI ή PTI. Για να φτιαχτεί ένας αντιστροφέα τριαδικής λογικής θα πρέπει να χρησιμοποιηθούν και τα τρία είδη αντιστροφέων. Στην δική μας μελέτη αναλύουμε το STI και πώς τα χαρακτηριστικά του τρανζίστορ επηρεάζουν την χαρακτηριστική του. Στην επόμενη σελίδα στην εικόνα 4-13 φαίνεται το κύκλωμα ενός STI που χρησιμοποιήθηκε στο Simplorer για την εξαγωγή των χαρακτηριστικών μεταφοράς. Οι αντιστάσεις r_1 και r_2 έχουν μπει παράλληλα με τα δύο τρανζίστορ για να αποφύγουμε το πρόβλημα του floating point. Αυτό γίνεται γιατί τα μοντέλα των τρανζίστορ δεν συμπεριφέρονται σωστά στην OFF κατάστασή τους. Σε ένα συμβατικό τρανζίστορ στην OFF κατάσταση το ρεύμα I_{ds} δεν είναι μηδενικό αλλά υπάρχει ένα πολύ μικρό ρεύμα διαρροής. Αυτό έχει σαν αποτέλεσμα όταν τα τρανζίστορ αλλάζουν κατάσταση μπορεί ο επιλυτής της προσομοίωσης να μην βγάλει την σωστή τιμή. Αυτό μπορεί να λυθεί προσθέτοντας στο μοντέλο ένα μικρό ρεύμα διαρροής κατά την OFF κατάσταση.



Εικόνα 4-14: Σχηματικό κύκλωμα ενός STI που χρησιμοποιήθηκε στο Simplorer

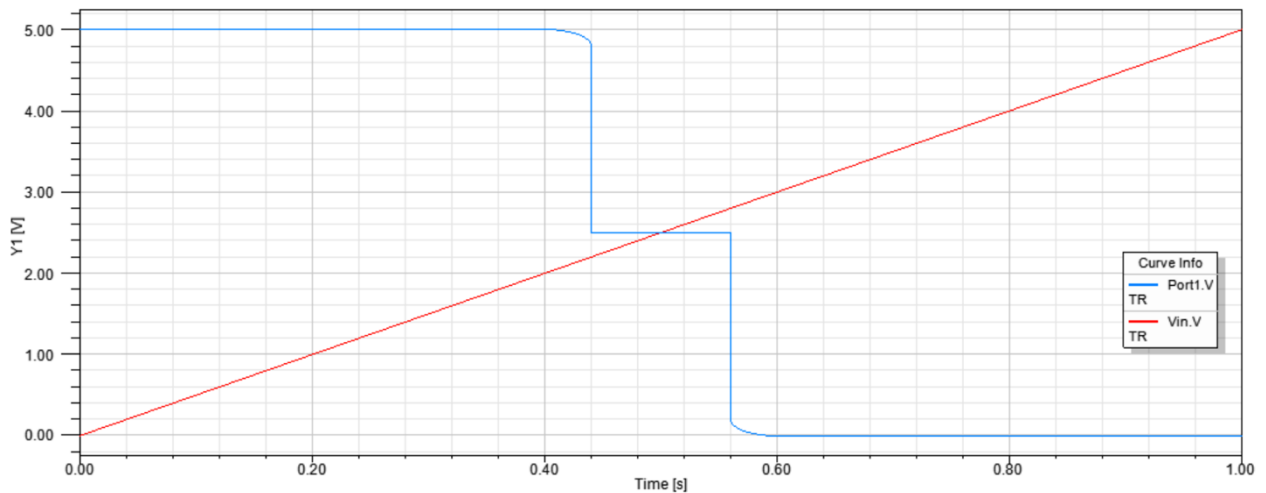
Όπως φαίνεται στην εικόνα 4-13 τα χαρακτηριστικά των δύο τρανζίστορ είναι ίδια. Στο N-type η τάση κατωφλίου που αρχίζει να άγει το τρανζίστορ είναι $V_{t1}=2V$. Η χαμηλή τάση κατωφλίου $V_{g1}=2,2V$ είναι η τάση που το τρανζίστορ μπαίνει στην ενδιάμεση κατάσταση και έχουμε στατικό ρεύμα. Η υψηλή τάση κατωφλίου $V_{g2}=3V$ είναι η τάση που το τρανζίστορ βγαίνει από την ενδιάμεση κατάσταση και αρχίζει το ρεύμα να αυξάνεται. Με την ανάποδη λογική ισχύει και στο P-type τρανζίστορ.

Στην επόμενη σελίδα, εικόνα 4-14, φαίνεται η χαρακτηριστική μεταφοράς του STI που εξάχθηκε από το παραπάνω κύκλωμα. Η κόκκινη χαρακτηριστική (V_{in}) είναι η τάση εισόδου του STI και με μπλε (Port1) είναι η τάση στην έξοδο. Η χαρακτηριστική μεταφορά επαληθεύει τον πίνακα αληθείας για το STI που είδαμε παραπάνω λαμβάνοντας υπόψιν ότι η λογική κατάσταση 0 αντιστοιχεί σε τάσεις μικρότερες των 2,2V, η ενδιάμεση κατάσταση 1 σε τάσεις μεγαλύτερες από 2,2V και μικρότερες από 3V, και η κατάσταση 2 σε τάσεις μεγαλύτερες από 3V. Η μέγιστη τάση τροφοδοσίας είναι τα 5V σε περίπτωσή μας.

Άρα ο πίνακας αληθείας για το STI μας αντικαθιστώντας με τις τάσεις είναι:

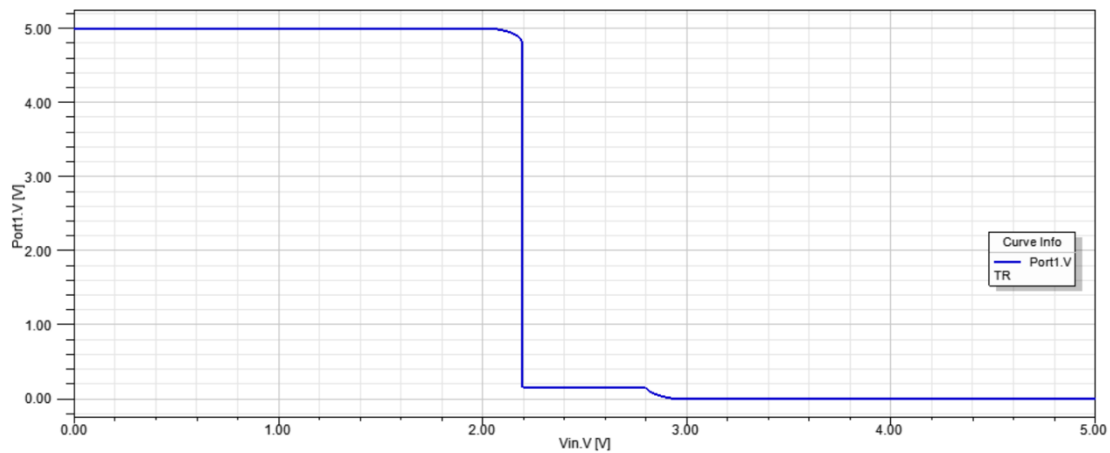
V_{in}	Λογική κατάσταση	Port1	Λογική κατάσταση
$<2,2V$	0	5V	2
$>2,2V,$ $<3V$	1	2,5V	1
$>3V$	2	0	0

Πίνακας 4: Πίνακας καταστάσεων ενός STI



Εικόνα 4-15: Η χαρακτηριστική μεταφοράς ενός STI με ίδια χαρακτηριστικά τρανζίστορ

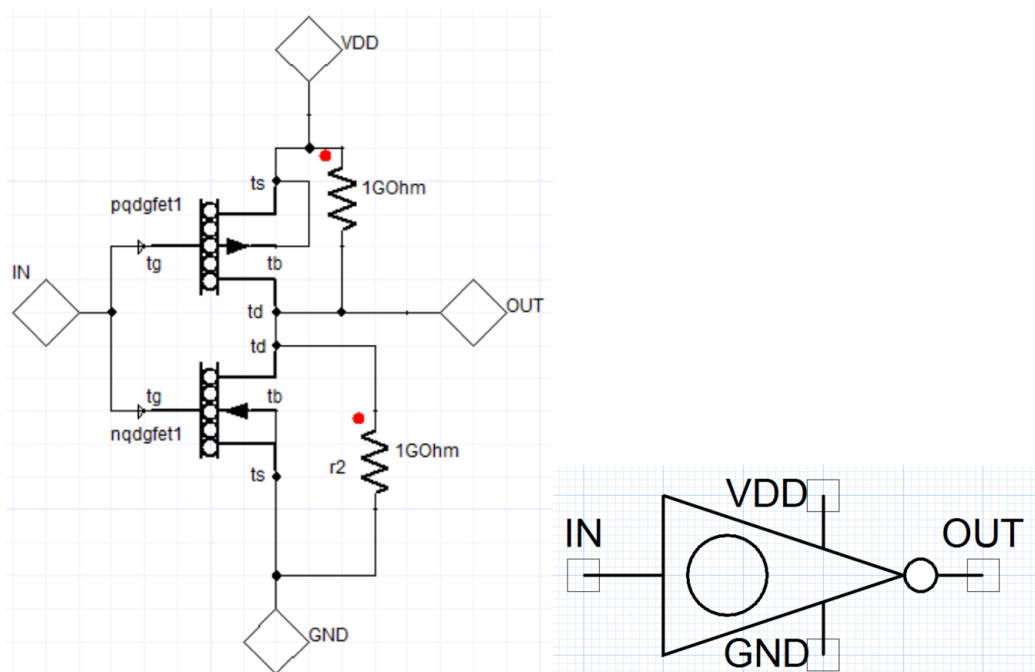
Όπως είπαμε, τα χαρακτηριστικά των δύο τρανζίστορ σε αυτήν την περίπτωση είναι ίδια. Αλλάζοντας τα χαρακτηριστικά τους αλλάζει και η συμπεριφορά του αντιστροφέα. Παρακάτω στην εικόνα 4-15 φαίνεται η χαρακτηριστική του αντιστροφέα μειώνοντας το πλάτος του καναλιού στο P-Type QDGFET από τα 32 μ m σε 30 μ m. Αυτό έχει σαν αποτέλεσμα να αυξάνεται η αντίσταση του καναλιού και ο λόγος του διαιρέτη τάση που σχηματίζεται από τα δύο τρανζίστορ να αλλάζει. Έτσι η τάση στα άκρα του N-Type QDGFET να μειώνεται.



Εικόνα 4-16: Η χαρακτηριστική μεταφοράς ενός STI με διαφορετικά χαρακτηριστικά στα τρανζίστορ

4.5.1 Δημιουργία εξαρτήματος QDGFET CMOS Inverter

Για τον καλύτερο σχεδιασμό και ευκρίνεια των κυκλωμάτων δημιουργήσα στο Simplorer ένα εξάρτημα του STI. Το εσωτερικό του κύκλωμα παραμένει το ίδιο και έχει τρεις ακροδέκτες για την σύνδεσή του με εξωτερικά κυκλώματα.

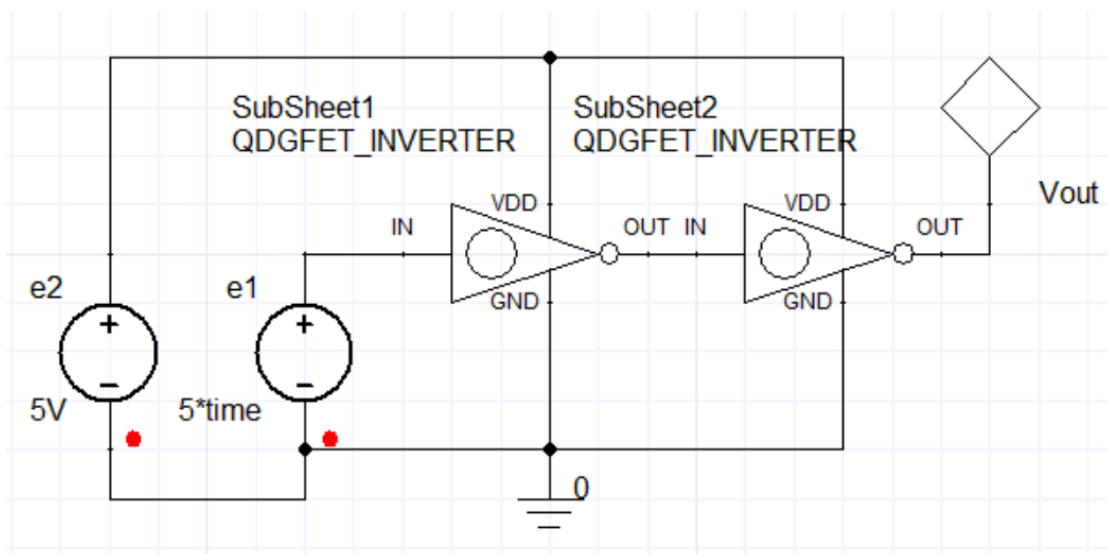


Εικόνα 4-17: Εσωτερικό σχηματικό του μοντέλου του αντιστροφέα (αριστερά) και το σχηματικό σύμβολο (δεξιά)

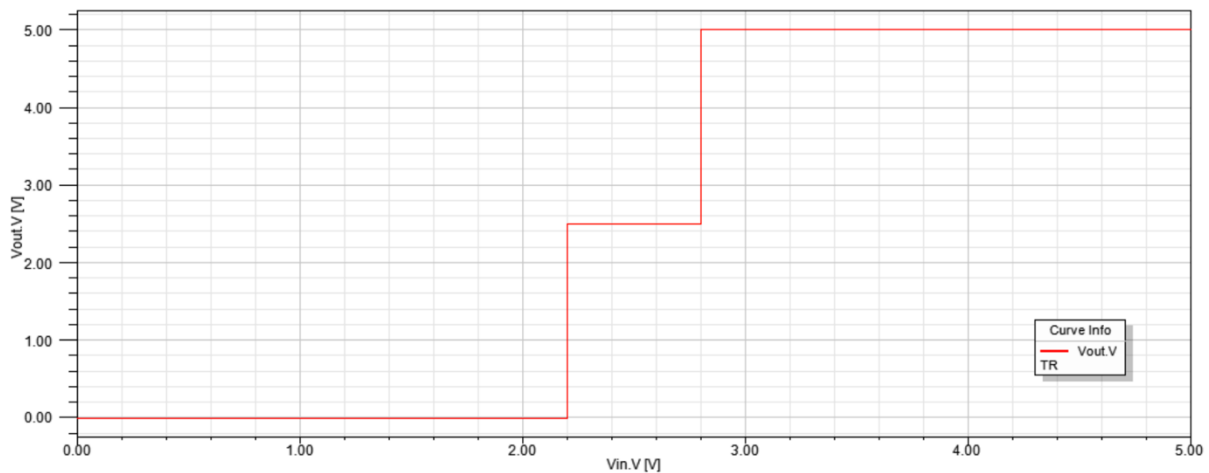
Οι δύο ακροδέκτες, IN και OUT είναι για την είσοδο και την έξοδο του Αντιστροφέα αντίστοιχα και οι ακροδέκτες VDD και GND και την τροφοδοσία. Στην είσοδο δεν έχουμε κάποιο περιορισμό στην τάση. Εάν εφαρμόσουμε τάση πολύ μεγαλύτερη από την τάση τροφοδοσίας η έξοδο θα ψαλιδιστεί στην μέγιστη τάση τροφοδοσίας. Στην παραπάνω εικόνα 4-16 φαίνεται το κύκλωμα και το σύμβολο του αντιστροφέα.

4.5.2 QDGFET Double Inverter

Το επόμενο κύκλωμα που θα προσομοιάσουμε είναι αυτό του διπλού αντιστροφέα όπως φαίνεται στην επόμενη σελίδα εικόνα 4-18. Σε αυτό το κύκλωμα βασίζει την λειτουργία του, το βασικό κύκλωμα μιας μνήμης RAM), το οποίο μπορεί να αποθήκευση μια κατάσταση όσο υπάρχει τροφοδοσία. Στην επόμενη εικόνα 4-17 φαίνεται η χαρακτηριστική μεταφοράς των δύο αντιστροφέων σε σειρά οι οποίοι υλοποιούν το διπλό NOT.



Εικόνα 4-19: Σχηματικό κύκλωμα διπλού αντιστροφέα για την εξαγωγή των χαρακτηριστικών στο Simplorer



Εικόνα 4-18: η χαρακτηριστική μεταφοράς των δύο αντιστροφέων σε σειρά

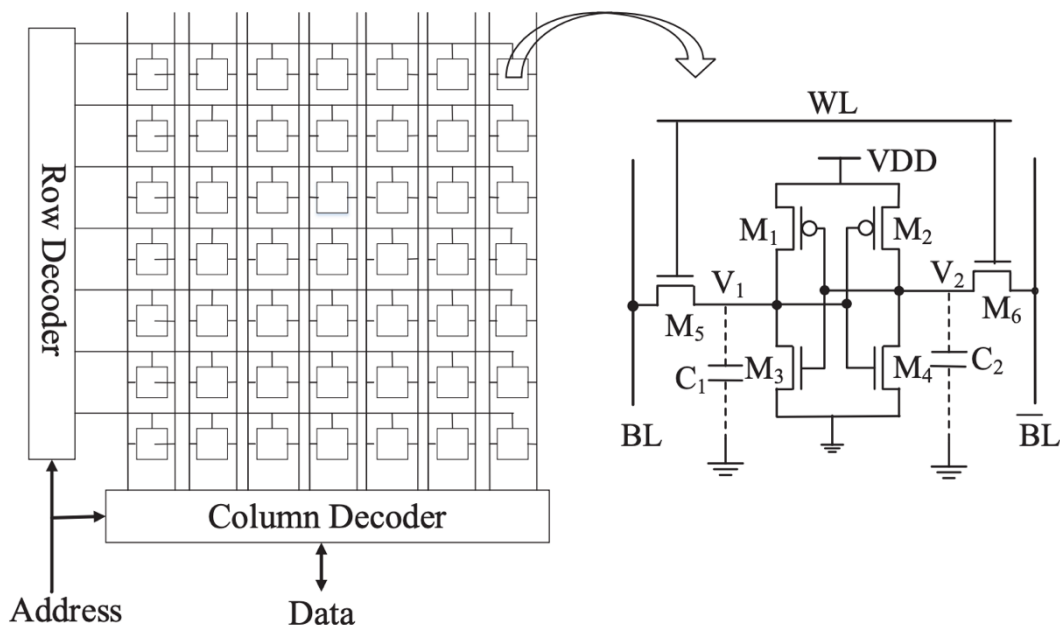
Ο πίνακας αληθείας για το παραπάνω κύκλωμα είναι:

Vin	Λογική κατάσταση	Vout	Λογική κατάσταση
<2,2V	0	5V	0
>2,2V, <3V	1	2,5V	1
>3V	2	0	2

Πίνακας 5: Πίνακας αληθείας δύο αντιστροφέων σε σειρά

4.6 Three State Memory Cell

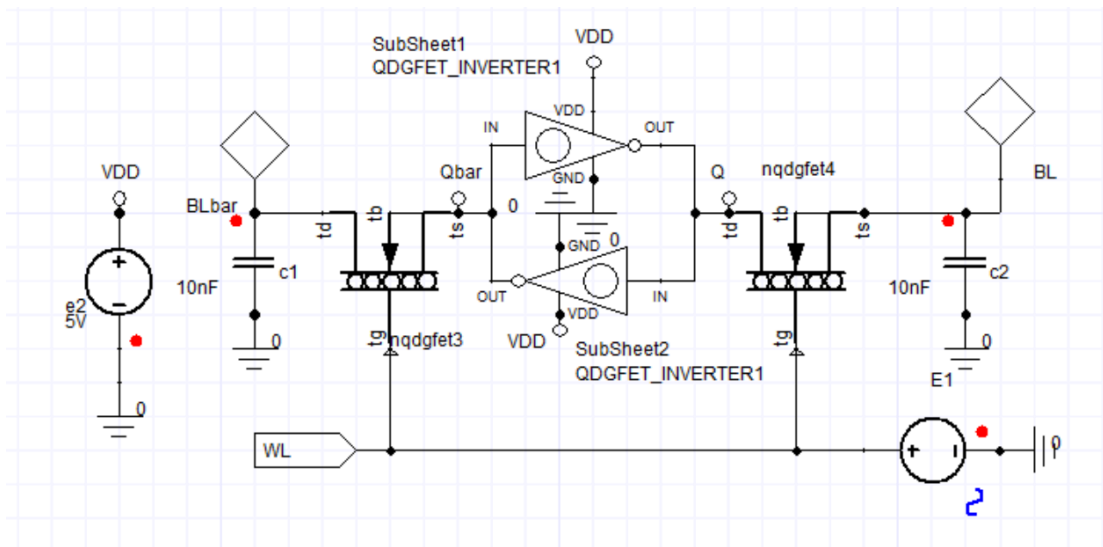
Με βάση το κύκλωμα του διπλού Αντιστροφέα μπορούμε να προσομοιώσουμε μια στατική τυχαία προσπέλασης μνήμη (SRAM). Η μνήμη SRAM μπορεί να κρατήσει μια πληροφορία όσο υπάρχει τροφοδοσία, σε αντίθεση με μια δυναμική μνήμη τυχαίας προσπέλασης (DRAM) που πρέπει μετά από ένα χρονικό διάστημα να ανανεώνει τα δεδομένα. Ο όρος τυχαία προσπέλασης σημαίνει ότι τα δεδομένα στις κυψέλες μπορούν να διαβαστούν οποιαδήποτε στιγμή ανεξάρτητα με ποια σειρά έχουν γραφτεί.



Εικόνα 4-20: Διάταξη κυψελών μνήμης SRAM (αριστερά) και σχηματικό κύκλωμα μιας κυψέλης δυο καταστάσεων (δεξιά)

Μια SRAM αποτελείται από κυψέλες, συνδεδεμένα συγκεκριμένα μεταξύ τους όπως φαίνεται στην παραπάνω εικόνα, και κάθε κυψέλη μπορεί να αποθηκεύσει ένα bit. Η κάθε κυψέλη υλοποιείται από δύο Αντιστροφείς CMOS όπου ή έξοδος του ενός τροφοδοτεί την είσοδο του άλλου. Αυτή η ανατροφοδότηση φέρνει τους δύο Αντιστροφείς σε σταθερή κατάσταση.

Για την υλοποίηση ενός πλήρους λειτουργικού κύτταρου μνήμης τριών καταστάσεων με τα QDGFET πρέπει το παραπάνω κύκλωμα να τροποποιηθεί. Το τροποποιημένο κύκλωμα για την κυψέλη τριών καταστάσεων φαίνεται στην επόμενη σελίδα εικόνα 4-20.

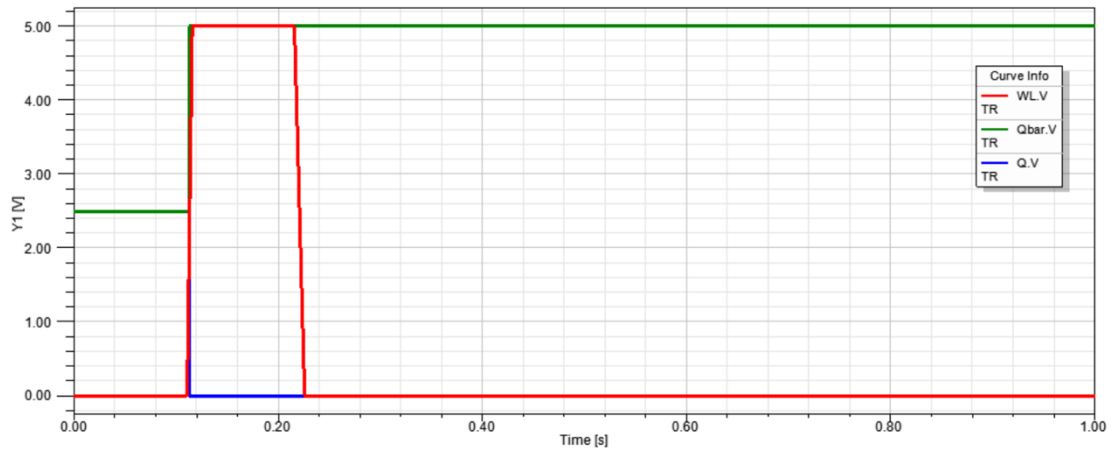


Εικόνα 4-21: Σχηματικό κύκλωμα μια κυψέλης μνήμης SRAM τριών καταστάσεων με χρήση QDGFET

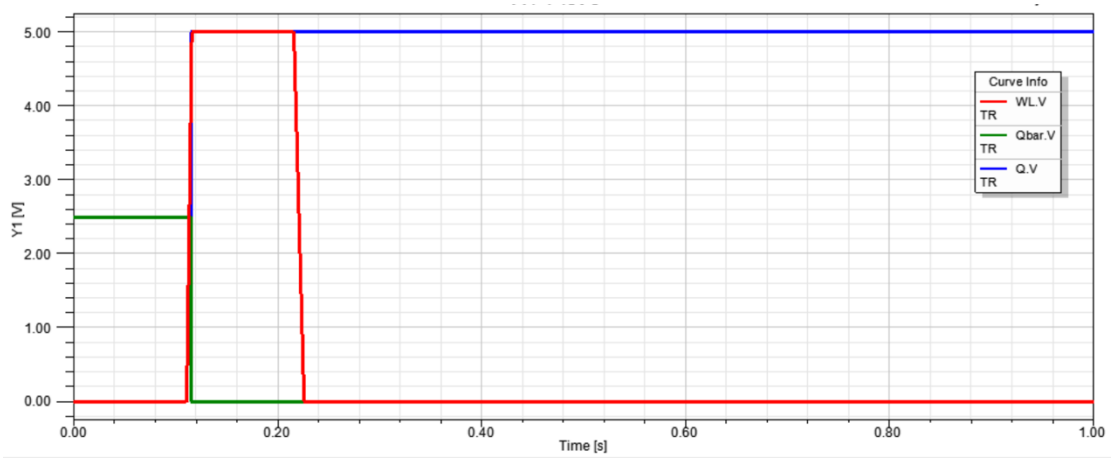
Τα τρανζίστορ M_5 και M_6 έχουν αντικατασταθεί με QDGFET τρανζίστορ. Θα μπορούσαν να χρησιμοποιηθούν και απλά MOSFET τρανζίστορ αφού δεν χρησιμεύει η ενδιάμεση κατάσταση σε αυτά, αλλά χρησιμοποιήθηκαν για λόγους ευκολίας. Η λειτουργία του κυττάρου μνήμης συνοψίζεται ως εξής. Ο Row Decoder αναλαμβάνει να επιλέξει ένα word line (οριζόντιες συνδέσεις). Ο Column Decoder αναλαμβάνει να επιλέξει ένα μια ή περισσότερες στήλες για είσοδο/έξοδο των δεδομένων (κάθετες συνδέσεις). Τα BL και \overline{BL} είναι τα bit lines και χρησιμοποιούνται για να γράψουμε και να διαβάσουμε την πληροφορία. Το WL είναι το word line χρησιμοποιείται για να ενεργοποιηθούν τα κύτταρα και να πραγματοποιήσει την ανάγνωση ή την εγγραφή. Επίσης υπάρχουν και άλλα εξωτερικά βοηθητικά κυκλώματα στους decoder, όπως το κύκλωμα pre-charge όπου «φορτίζει» της γραμμές BL και \overline{BL} στην τάση V_{DD} , και ένα κύκλωμα μετατρέπει την διαφορά των γραμμών BL και \overline{BL} στην πληροφορία.

4.6.1 Διαδικασία Εγγραφής στην SRAM

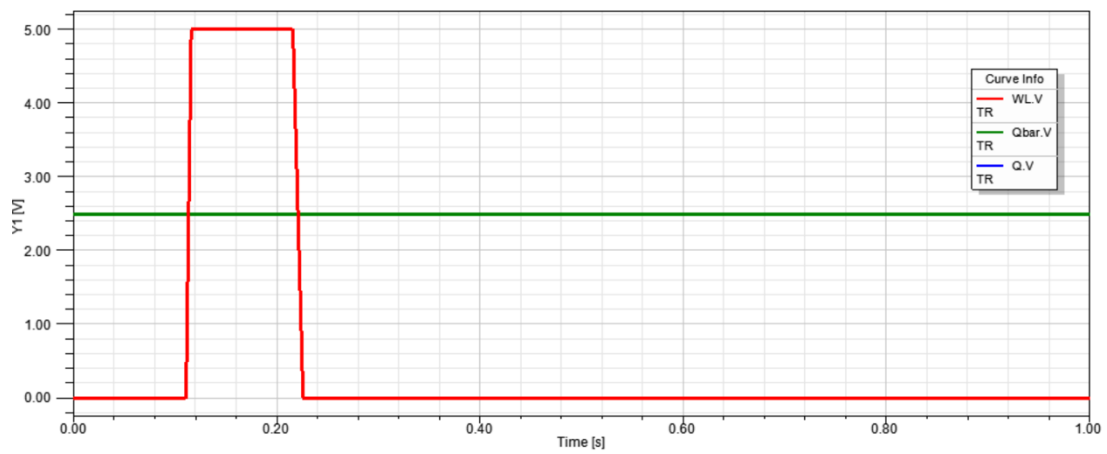
Στην διαδικασία την εγγραφής ο Column Decoder οδηγεί τις γραμμές BL και \overline{BL} διαφορετικά, θέτοντας στις γραμμές το bit προς εγγραφή. Δηλαδή για εγγραφή του 1 θέτει $BL = 1$ και $\overline{BL} = 0$. Στην συνέχεια η γραμμή WL από 0, οδηγείται σε λογική κατάσταση 1 όπου τα τρανζίστορ μπαίνουν σε κατάσταση ON. Έτσι τα bit από τις γραμμές BL και \overline{BL} μεταφέρονται στους Αντιστροφείς στα Q και \overline{Q} αντίστοιχα, όπου διατηρούνται και όταν τα τρανζίστορ μπου σε κατάσταση OFF. Ποιο κάτω βλέπουμε τις γραφικές για την εγγραφή του 0,1 και i στο κύτταρο μνήμης. Η αρχική τιμή που έχει η μνήμη είναι η i.



Εικόνα 4-22: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης 0 στην κυψέλη



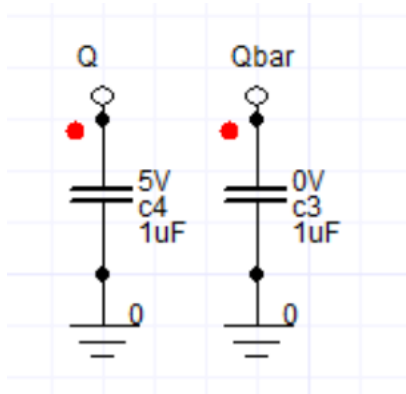
Εικόνα 4-23: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης 1 στην κυψέλη



Εικόνα 4-24: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης i στην κυψέλη

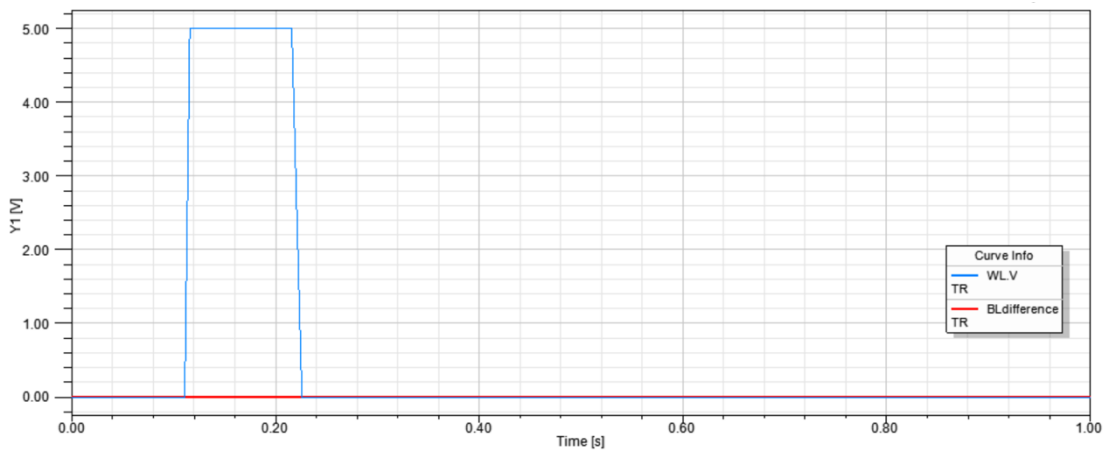
4.6.2 Διαδικασία ανάγνωσης από την SRAM

Η διαδικασία της ανάγνωσης ξεκινάει φορτίζοντας τις γραμμές BL και \overline{BL} στην τάση τις V_{DD} . Έπειτα η γραμμή WL από 0 οδηγείται σε κατάσταση 1 όπου ενεργοποιούνται τα τρανζίστορ. Αυτό έχει σαν αποτέλεσμα οι καταστάσεις στα Q και \overline{Q} να μεταφέρονται στα BL και \overline{BL} αντίστοιχα. Μετά από ένα συγκεκριμένο χρονικό διάστημα όπου το καθορίζουν οι πυκνωτές C_1 και C_2 τα διαφορεικά κυκλώματα στον Column Decoder διαβάζουν την πληροφορία.

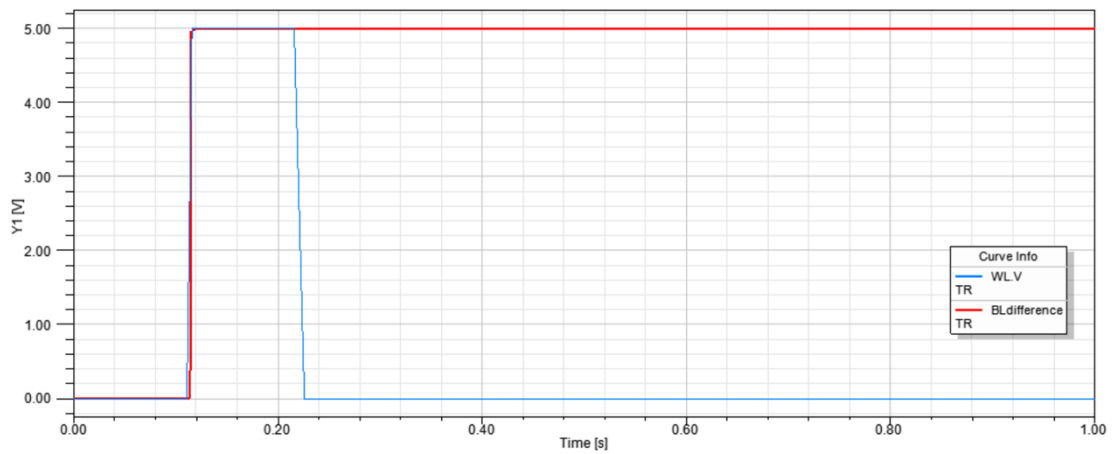


Εικόνα 4-25: Πυκνωτές για τον ορισμό τιμών στην μνήμη. Χρησιμοποιήθηκαν για ευκολία στην προσομοίωση

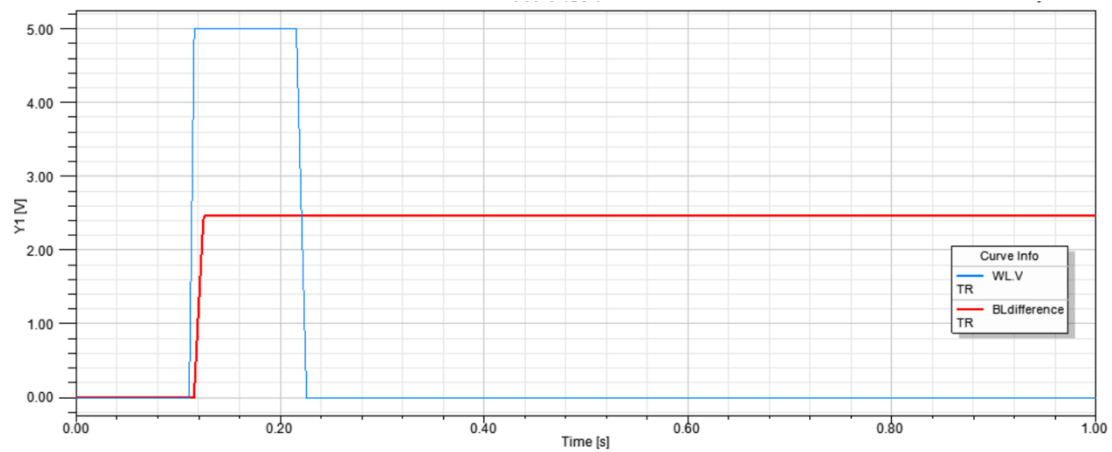
Για την προσομοίωση χρησιμοποιήθηκαν οι παραπάνω πυκνωτές (εικόνα 4-24) C_4 και C_5 για τον ορισμό των τιμών που είναι αποθηκευμένοι στην μνήμη. Οι χωρητικότητες των πυκνωτών ορίστηκε πολύ μικρότερη των πυκνωτών C_1 και C_2 για να αποφορτιστούν γρήγορα και να μην επηρεάσουν την λειτουργία. Παρακάτω φαίνονται οι γραφικές για τις περιπτώσεις ανάγνωσης 0,1 και $\bar{1}$ από την μνήμη. Η μεταβλητή BLdifference έχει δηλωθεί σαν $\text{abs}(BL.V - \overline{BL}.V)$ όπου είναι η διαφορά των τάσεων BL και \overline{BL} .



Εικόνα 4-26: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης 0 από την κυψέλη



Εικόνα 4-27: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης 1 από την κυψέλη



Εικόνα 4-28: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης i από την κυψέλη

5 Συμπεράσματα – Προτάσεις

Η μοντελοποίηση ενός φυσικού εξαρτήματος, όπως ένα τρανζίστορ, είναι μια διαδικασία που απαιτεί περίπλοκα μαθηματικά για να είναι όσο δυνατό ακριβέστερο. Όμως όσο πιο πιστά προσπαθούμε να το μοντελοποιήσουμε, αυξάνεται και η περιπλοκότητα του μοντέλου που σε μια εφαρμογή που απαιτούνται πολλά εξαρτήματα ο χρόνος προσομοίωσης μπορεί να αυξηθεί δραματικά. Για αυτό τα συμπαγή μοντέλα προσφέρουν μια γρήγορη εκτίμηση του μοντέλου αφού απλοποιούν σημαντικά τις εξισώσεις με προσεγγιστικά μοντέλα.

Στην παρούσα διπλωματική χρησιμοποιήθηκε ένα προσεγγιστικό μοντέλο ενός νέου είδους τρανζίστορ τριών καταστάσεων και προσπάθησε να γίνει μια αξιολόγησή του και να χρησιμοποιηθεί σε κάποια κυκλώματα.

Τα αποτελέσματα που πήραμε χάνουν από την ακρίβεια με το πραγματικό εξάρτημα πράγμα αναμενόμενο. Το προσεγγιστικό μοντέλο αλλάζει κατάσταση ακαριαία χωρίς να έχει κάποιο χαρακτηριστικό καθυστέρησης όπως, Turn-on Delay, Rise time, Turn-off Delay και Fall time, χαρακτηριστικά που είναι σημαντικά στο σχεδιασμό ψηφιακών κυκλωμάτων. Επίσης το ρεύμα απαγωγού κατά την ενδιάμεση κατάσταση είναι σταθερό και δεν αυξάνεται καθόλου καθώς αυξάνεται η τάση στην Πύλη. Αυτό ξέρουμε στα MOSFET ότι δεν συμβαίνει αλλά στην περίπτωση του QDGFET είναι ένα χαρακτηριστικό που δημιουργούν τα QD στην πύλη.

Γενικότερα το μοντέλο και τα κυκλώματα που προσομοιώθηκαν με αυτό συμπεριφέρθηκαν όπως περιμέναμε εκτός από ακρίβεια των χαρακτηριστικών μεταφοράς με το πραγματικό εξάρτημα. Στο μέλλον θα μπορούσε να επιχειρηθεί να κατασκευαστεί το πλήρες μοντέλο BSIM για το QDGFET με όλες τις εξισώσεις. Για να γίνει αυτό θα πρέπει να περιγραφεί η επίδραση που έχουν η κβαντικές τελείες στην πύλη, και στο κανάλι του τρανζίστορ.

ΒΙΒΛΙΟΓΡΑΦΙΑ - ΠΗΓΕΣ

- [1] M. Ohring, *Engineering Materials Science 3rd Edition*, Academic Press, 1995.
- [2] D. J. B. Albert Malvino, *Ηλεκτρονική 7η Έκδοση*, Αθήνα: Εκδόσεις Τζιόλα, 2011.
- [3] B. El-Kareh, *Silicon Devices and Process Integration*, Cedar Park, TX: Springer, 2009.
- [4] Chenming-Hu, «MOS Capacitor,» σε *Electrical Engineering & Computer Sciences*, Berkeley, University of California, 2009, pp. 157-193.
- [5] Α. Σ. Α. ΔΙΑΤΡΙΒΗ, Θεωρητικός υπολογισμός ρευμάτων νανοηλεκτρονικής. Εφαρμογές σε νανοδοματίδια εντός ηλεκτρονικών μνημών, Αθήνα: ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ, ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ, 2015.
- [6] A. S. S. K. C. Smith, *Microelectronic Circuits (Oxford Series in Electrical & Computer Engineering)*, USA: Oxford University Press, 2009.
- [7] S. Chih-Tang, «Evolution of the MOS transistor-from conception to VLSI,» *IEEE*, τόμ. 76, αρ. 10, p. 47, 1988.
- [8] Jacek Korec, Texas Instruments, *Low Voltage Power MOSFETs, Design, Performance and Applications*, Bethlehem, USA: Springer, 2011.
- [9] N. Z. S. V. K. a. A. L. R. Frederik Hetsch, «Quantum dot field effect transistors,» *Elsevier*, τόμ. 16, αρ. *Materials Today*, pp. 312-325, 2013.
- [10] M. G. N. C. S. S. M. D. Z. T. a. S. S. Tyler Maxwell, «Quantum Dots,» *Elsevier*, τόμ. 15, αρ. In *Micro and Nano Technologies, Nanoparticles for Biomedical Applications*, pp. 243-265, 2020.
- [11] F. S. R. B. H. L. J. K. A.T. Tilke, «Coulomb blockade in silicon nanostructures,» *Elsevier*, τόμ. 25, αρ. *Progress in Quantum Electronics*, pp. 97-138, 2001.
- [12] J. J. C. Weidong Zhou, «Semiconductor quantum dots,» *Current Opinion in Solid State and Materials Science*, p. 9, 12 2022.
- [13] Q. W. Y. L. L. e. a. Sun, «Bright, multicoloured light-emitting diodes based on quantum dots,» *Nature Photon 1*, pp. 717-722, 2007.
- [14] X. Z. Z. J. Y. e. a. Dai, «Solution-processed, high-performance light-emitting diodes based on quantum dots,» *Nature*, αρ. 515, pp. 96-99, 2014.
- [15] S. Karmakar, «Application of quantum dot gate FETs (QDGFETs) in ternary logic image inversion,» *Analog Integr Circ Sig Process*, αρ. 87, pp. 65-72, 2016.
- [16] L. Geppert, «Quantum transistors: toward nanoelectronics,» *IEEE Spectrum*, τόμ. 37, αρ. 9, pp. 45-51, 2000.
- [17] Supriya Karmakar, Intel Corporation, *Novel Three-state Quantum Dot Gate Field Effect Transistor Fabrication, Modeling and Application*, Hillsboro, Oregon: Springer, 2014.
- [18] S. C. J. G. M. e. a. Karmakar, «Fabrication and Circuit Modeling of NMOS Inverter Bases on Quantum Dot Gate Field-Effect Transistors,» *J. Electron. Mater.*, αρ. 41, pp. 2184-2192, 2012.

- [19] S. G. M. S. E. a. J. F. Karmakar, «Three-state quantum dot gate field-effect transistor in silicon-on insulator,» *IET Circuits Devices Syst.*, αρ. 9, pp. 111-118, 2015.
- [20] M. B. K. C. P. e. a. Lingalugari, «Novel Multistate Quantum Dot Gate FETs Using SiO₂ and Lattice-Matched ZnS-ZnMgS-ZnS as Gate Insulators,» *J. Electron. Mater.*, αρ. 42, pp. 3156-3163, 2013.
- [21] S. Karmakar, «Generation of four states in MOSFET for future multivalued logic circuit design,» *IET Circuits Devices Syst.*, αρ. 13, pp. 504-509, 2019.
- [22] F. L. M. K. J. e. a. Jain, «Quantum Dot Channel (QDC) FETs with Wraparound II–VI Gate Insulators: Numerical Simulations,» *J. Electron. Mater.*, αρ. 45, pp. 5663-5670, 2016.
- [23] G. M. J. F. C. Karmakar S., «Improved device structure of quantum dot gate FET to obtain more stable intermediate state,» *Electronics Letter, Stevenage*, τόμ. 24, αρ. 48, pp. 1-2, 2012.
- [24] M. I. a. K. B. Ernst Christen, «VHDL-AMS—A Hardware Description Language for Analog and Mixed-Signal Applications,» *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING*, τόμ. 46, αρ. 10, pp. 1263-1272, 1999.
- [25] J. H. R. J. U. K. P. S. R. K. M. D. Ronny Frevert, «Introduction to VHDL-AMS,» σε *Modeling and Simulation for RF System Design*, Boston, Springer, 2005, pp. 51-125.
- [26] C. L. V. F. Pêcheux, «VHDL-AMS and Verilog-AMS as alternative hardware description languages for efficient modeling of multidiscipline systems,» *IEEE Trans. on CAD of Integrated Circuits and Systems*, τόμ. 24, pp. 204-225, 2005.
- [27] F. P. A. V. a. F. P. Christophe Lallement, «Compact modeling of the MOSFET in VHDL-AMS,» *Transistor Level Modeling for Analog/RF IC Design*, pp. 243-269, 2006.
- [28] C. H. Yuhua Cheng, MOSFET MODELING & BSIM3 USER'S GUIDE, NEW YORK, BOSTON, DORDRECHT, LONDON , MOSCOW: KLUWER ACADEMIC PUBLISHERS, 2002.
- [29] M. C. T. I. K. Richard S Muller, «MOS FIELD-EFFECT TRANSISTORS I: PHYSICAL EFFECTS AND MODELS,» σε *Device Electronics For Integrated Circuits, 3Rd Ed*, Wiley India Pvt. Limited, 2003, p. 528.
- [30] K. B. Ernst Christen, «VHDL-AMS—A Hardware Description Language for Analog and Mixed-Signal Applications,» *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING*, τόμ. 40, αρ. 10, p. 10, 1999.

ΠΕΡΙΕΧΟΜΕΝΑ ΕΙΚΟΝΩΝ

Εικόνα 1-1: Δομή ενός MOS. (Πηγή: Wikipedia Commons)	13
Εικόνα 1-2: Διοδιάστατη απεικόνιση του πλέγματος ενός ενδογενή ημιαγωγού πυριτίου	14
Εικόνα 1-3: Διάγραμμα ενεργειακών σταθμών ενός ημιαγωγού	15
Εικόνα 1-4: (Α) Πλέγμα Ημιαγωγού τύπου N (Β) Πλέγμα Ημιαγωγού τύπου P	16
Εικόνα 1-5: Διάγραμμα ενεργειακών σταθμών (Α) Ημιαγωγός Τύπου N (Β) Ημιαγωγός Τύπου P	17
Εικόνα 1-6: Κινητικότητα ηλεκτρονίων και οπών σε Πυρίτιο (Si) και Αρσενικούχο Γάλλιο (GaAs)	18
Εικόνα 1-7: Κινητικότητα φορέων με την εφαρμογή ηλεκτρικού πεδίο σε (Α) Ημιαγωγό τύπου N (Β) Ημιαγωγό τύπου P	18
Εικόνα 1-8: Ενεργειακό διάγραμμα ενός ηλεκτρονίου μέσα σε ηλεκτρικό πεδίο	19
Εικόνα 1-9: Κινητικότητα Ηλεκτρονίων σε Πυρίτιο ανάλογα με την θερμοκρασία	20
Εικόνα 1-10: Εξισορρόπηση ενεργειακών σταθμών δύο μετάλλων	21
Εικόνα 1-11: Κατανομή των φορτίων σε μια επαφή PN	22
Εικόνα 1-12: Ενεργειακές στάθμες επαφών PN.	23
Εικόνα 1-13: Ενεργειακά διαγράμματα σε nMOS και pMOS δομές χωρίς να εξισορροπηθούν τα επίπεδα Φέρμι.	25
Εικόνα 1-14: Καμπύλωση του ενεργειακού διαγράμματος για εξισορρόπηση επιπέδων Φέρμι	26
Εικόνα 1-15: Ενεργειακό διάγραμμα ενός MOS σε κατάσταση ισορροπίας	27
Εικόνα 1-16: Ενεργειακό διάγραμμα ενός MOS σε κατάσταση συσσώρευσης	28
Εικόνα 1-17: Ενεργειακό διάγραμμα ενός MOS σε κατάσταση αντιστροφής	29
Εικόνα 1-18: Η χωρητικότητα που αναπτύσσεται σε μια δομή MOS	30
Εικόνα 1-19: Πλάγια τομή μιας δομής CMOS (Complementary MOS, nMOS και pMOS συνδεδεμένα σε σειρά)	31
Εικόνα 1-20: Τα είδη των MOSFETs	31
Εικόνα 1-21: Δημιουργία ενός αγωγικού δρόμου (καναλιού) σε MOSFET με την εφαρμογή κατάλληλης τάσης	32
Εικόνα 1-22: Η αλλαγή του καναλιού σε ένα MOSFET ανάλογα με την τάση V_{DS}	33
Εικόνα 1-23: Το κανάλι ενός MOSFET όταν έχουμε εφαρμόσει ένα δυναμικό V_{DS}	33
Εικόνα 1-24: Χαρακτηριστική I-V ενός MOSFET	34
Εικόνα 1-25: Διαμόρφωση μήκους καναλιού σε ένα MOSFET	35
Εικόνα 1-26: Οι ενεργειακές στάθμες ενός MOSFET με και χωρίς πόλωση του Σώματος	36
Εικόνα 1-27: Ένα χαρακτηριστικός των κβαντικών τελειών είναι να ανακλούν το φως σε διαφορετικό μήκος κύματος ανάλογα με το μέγεθός τους	37
Εικόνα 1-28: Διάγραμμα πυκνότητας καταστάσεων συναρτήσει της ενέργειας για (Α) εκτεταμένο ημιαγωγό (Β) κβαντικό πηγάδι (C) κβαντικό σύρμα (D) κβαντική τελεία	37
Εικόνα 1-29: Ρυθμιζόμενο φάσμα ενός 2 nm EC InAs/InP QD Laser οδηγούμενο από πλασμικό ρεύμα 1500 mA (1 kHz ρυθμός επανάληψης και 3% duty cycle)	38
Εικόνα 1-30: Η δομή των κβαντικών τελειών και η αλλαγή του χρώματος εκπομπής [13]	39
Εικόνα 1-31: Δομή φωτοδιόδου με πολλαπλά στρώματα υλικών	39
Εικόνα 1-32: Αυξημένη αποδοτικότητα των QD φωτοβολταϊκών με ιονισμό λόγω κρούσης	40
Εικόνα 1-33: Tunneling ενός ηλεκτρονίου μέσα από έναν φράγμα δυναμικού	41
Εικόνα 1-34: Δομή ενός τρανζίστορ μοναδιαίου ηλεκτρονίου και το ενεργειακό διάγραμμα για την κατάσταση φραγμού (επάνω) και κατάσταση μεταφοράς ηλεκτρονίου	42
Εικόνα 1-35: Παραλλαγή ενός SET με κβαντική τελεία στο επίπεδο του οξειδίου	42
Εικόνα 1-36: Δομή ενός Deltt	44
Εικόνα 1-37: Η χαρακτηριστική της αγωγιμότητας και διαγωγιμότητας ενός Deltt	45
Εικόνα 1-38: Η τρισδιάστατη απεικόνιση (a) και η πλάγια όψη (b) ενός QDGFET	46
Εικόνα 1-39: Απευθείας στοίχιση κβαντικών τελειών (a) και στοίχιση ελάχιστης ενέργειας (b)	47
Εικόνα 1-40: Δομή ενός QDGFET πάνω σε υπόστρωμα SOI	48
Εικόνα 1-41: QDGFET με χρήση διαφορετικών QDs και μονωτικό ZnS-ZnMgS-ZnS	49
Εικόνα 1-42: Χαρακτηριστική I-V ενός QDGFET τεσσάρων καταστάσεων.	49

Εικόνα 1-43: Η δομή ενός QDG-SWSFET	50
Εικόνα 1-44: Πλάγια όψη QDCFET με τυλιγμένο κανάλι από μωνοτικά τύπου II-VI	50
Εικόνα 1-45: Η δομή (a), η διατομή (b) και το διάγραμμα ενεργειακών σταθμών ενός QDVTH	51
Εικόνα 1-46: Χαρακτηριστικές απλού QDGFET (a) και βελτιωμένου QDGFET (b)	52
Εικόνα 1-47: Η δομή ενός QDG-QDCFET	53
Εικόνα 1-48: Χαρακτηριστική μεταφοράς για το μοντέλο και για το πειραματικό QDG-QDCFET	54
Εικόνα 1-49: Διάγραμμα Ενεργειακών σταθμών SiOx-Cladded Si Quantum Dots on Top of SiO2 Tunnel Gate Insulator	55
Εικόνα 1-50: Χαρακτηριστική I-V ενός QDGFET για διαφορετικές τάσεις V_{ds} [12]	56
Εικόνα 2-1: Ανάλυση της σχεδιαστικής μονάδας [14]	59
Εικόνα 2-2: Η μεταβλητή Signal στην VHDL [14]	60
Εικόνα 2-3: Ο κύκλος προσομοίωσης στην VHDL-AMS	62
Εικόνα 3-1: Ο αριθμός των παραμέτρων για κάθε μοντέλο MOSFET που αναπτύχθηκε.	63
Εικόνα 3-2: Σύγκριση της αποδοτικότητας του κάθε μοντέλου [17]	64
Εικόνα 3-3: Τομή ενός MOSFET καναλιού τύπου N	65
Εικόνα 3-4: Η περιοχή απογύμνωσης σε ένα MOSFET με μακρύ κανάλι	66
Εικόνα 3-5: Η περιοχή απογύμνωσης σε ένα MOSFET με κοντό κανάλι	66
Εικόνα 3-6: Απεικόνιση του μοντέλου charge-sharing. Η γκριζες περιοχές είναι τα φορτία απογύμνωσης που ελέγχονται από την Πηγή/Απαγωγό [17]	67
Εικόνα 3-7: Το ύψος του φραγμού και το δυναμικό κατά μήκος του καναλιού σε περίπτωση MOSFET κοντού καναλιού και μακριού καναλιού [17]	67
Εικόνα 3-8: Τρισδιάστατη διατομή LOCOS τεχνολογίας μόνωσης (a) και Shallow Trench μόνωσης (b)	68
Εικόνα 3-9: Διατομή ενός MOSFET κατά το πλάτος της πύλης	69
Εικόνα 3-10: Η χαρακτηριστική I-V ενός MOSFET με τις διάφορες περιοχές λειτουργίας και την αντίσταση εξόδου.	73
Εικόνα 3-11: Η διάταξη (a) που χρησιμοποιείται για την εξαγωγή της χαρακτηριστικής C-V (b) για τον υπολογισμό της χωριτηκότητας της Πύλης και του πάχους Οξειδίου στην Πύλη	78
Εικόνα 3-12: Η διάταξη (a) και οι χαρακτηριστικές I_d-V_g (b) που χρησιμοποιούνται για την εξαγωγή της τάσης κατωφλίου V_t για χαμηλές τάσης στην Πύλη.	78
Εικόνα 4-1: Μενού διαλόγου προσομοίωσης στο hAMster	80
Εικόνα 4-2: Σχηματικό κύκλωμα του testbench για την εξαγωγή των χαρακτηριστικών του N-Type QDGFET (η φωτογραφία είναι από το Simplorer και όχι το hAMster)	82
Εικόνα 4-3: Οι χαρακτηριστικές των V_{gs} (κόκκινη) και I_{ds} (πράσινη) για N-Type QDGFET	86
Εικόνα 4-4: Σύγκριση μοντέλου QDGFET με πειραματικά αποτελέσματα	87
Εικόνα 4-5: Χαρακτηριστικά μοντέλου QDGFET	87
Εικόνα 4-6: Σχηματικό κύκλωμα του testbench για την εξαγωγή των χαρακτηριστικών του P-Type QDGFET (η φωτογραφία είναι από το Simplorer και όχι το hAMster)	88
Εικόνα 4-7: Οι χαρακτηριστικές των V_{gs} (κόκκινη) και I_{ds} (πράσινη) για P-Type QDGFET	90
Εικόνα 4-8: Τα σχηματικά σύμβολα του P-Type QDGFET και N-Type QDGFET αντίστοιχα	92
Εικόνα 4-9: Ο Project Manager του Simplorer.	95
Εικόνα 4-10: Σχηματικά κυκλώματα που χρησιμοποιήθηκαν για την εξαγωγή χαρακτηριστικών μεταφοράς στο Simplorer	96
Εικόνα 4-11: Παράθυρο εισαγωγής παραμέτρων για την πηγή τάσης	96
Εικόνα 4-12: Χαρακτηριστικά του N-Type και P-Type QDGFET	97
Εικόνα 4-13: Χαρακτηριστικές μεταφοράς των δύο τρανζίστορ. Η πρώτη του N-Type QDGFET και η δεύτερη του P-Type QDGFET	98
Εικόνα 4-14: Σχηματικό κύκλωμα ενός STI που χρησιμοποιήθηκε στο Simplorer	100
Εικόνα 4-15: Η χαρακτηριστική μεταφοράς ενός STI με ίδια χαρακτηριστικά τρανζίστορ	101
Εικόνα 4-16: Η χαρακτηριστική μεταφοράς ενός STI με διαφορετικά χαρακτηριστικά στα τρανζίστορ	101
Εικόνα 4-17: Εσωτερικό σχηματικό του μοντέλου του αντιστροφέα (αριστερά) και το σχηματικό σύμβολο (δεξιά)	102
Εικόνα 4-18: η χαρακτηριστική μεταφοράς των δύο αντιστροφέων σε σειρά	103
Εικόνα 4-19: Σχηματικό κύκλωμα διπλού αντιστροφέα για την εξαγωγή των χαρακτηριστικών στο Simplorer	103

Εικόνα 4-20: Διάταξη κυψελών μνήμης SRAM (αριστερά) και σχηματικό κύκλωμα μιας κυψέλης δυο καταστάσεων (δεξιά)	104
Εικόνα 4-21: Σχηματικό κύκλωμα μια κυψέλης μνήμης SRAM τριών καταστάσεων με χρήση QDGFET	105
Εικόνα 4-22: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης 0 στην κυψέλη	106
Εικόνα 4-23: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης 1 στην κυψέλη	106
Εικόνα 4-24: Γραφική αναπαράσταση της διαδικασίας εγγραφής λογικής κατάστασης i στην κυψέλη	106
Εικόνα 4-25: Πυκνωτές για τον ορισμό τιμών στην μνήμη. Χρησιμοποιήθηκαν για ευκολία στην προσομοίωση	107
Εικόνα 4-26: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης 0 από την κυψέλη	107
Εικόνα 4-27: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης 1 από την κυψέλη	108
Εικόνα 4-28: Γραφική αναπαράσταση της διαδικασίας ανάγνωσης λογικής κατάστασης i από την κυψέλη	108

ΠΕΡΙΕΧΟΜΕΝΑ ΠΙΝΑΚΩΝ

Πίνακας 1: Οι ημιαγωγοί στον περιοδικό πίνακα	13
Πίνακας 2: Η καθυστέρηση, η ισχύς και η θερμική απώλεια λογικών πυλών με βάση MOSFET, CNTFET και QDGFET	40
Πίνακας 4: Πίνακας καταστάσεων διαφορετικών τύπων αντιστροφένων	99
Πίνακας 5: Πίνακας καταστάσεων ενός STI	100
Πίνακας 6: Πίνακας αληθείας δύο αντιστροφένων σε σειρά	103

ΠΕΡΙΕΧΟΜΕΝΑ ΕΞΙΣΩΣΕΩΝ

Εξίσωση 1-1	16
Εξίσωση 1-2	17
Εξίσωση 1-3	18
Εξίσωση 1-4	18
Εξίσωση 1-5	18
Εξίσωση 1-6	21
Εξίσωση 1-7	25
Εξίσωση 1-8	25
Εξίσωση 1-9	26
Εξίσωση 1-10	26
Εξίσωση 1-11	27
Εξίσωση 1-12	28
Εξίσωση 1-13	29
Εξίσωση 1-14	30
Εξίσωση 1-15	35
Εξίσωση 1-16	36
Εξίσωση 1-17	43
Εξίσωση 1-18	43
Εξίσωση 1-19	43
Εξίσωση 1-20	51
Εξίσωση 1-21	51
Εξίσωση 1-22	53
Εξίσωση 1-23	56
Εξίσωση 1-24	56
Εξίσωση 1-25	56
Εξίσωση 1-26	56
Εξίσωση 3-1	65
Εξίσωση 3-2	66
Εξίσωση 3-3	68
Εξίσωση 3-4	68
Εξίσωση 3-5	69
Εξίσωση 3-6	69
Εξίσωση 3-7	70
Εξίσωση 3-8	70
Εξίσωση 3-9	70
Εξίσωση 3-10	71
Εξίσωση 3-11	71
Εξίσωση 3-12	71
Εξίσωση 3-13	71
Εξίσωση 3-14	71
Εξίσωση 3-15	72
Εξίσωση 3-16	72
Εξίσωση 3-17	72
Εξίσωση 3-18	72
Εξίσωση 3-19	72
Εξίσωση 3-20	72
Εξίσωση 3-21	73
Εξίσωση 3-22	73
Εξίσωση 3-23	73
Εξίσωση 3-24	74
Εξίσωση 3-25	74
Εξίσωση 3-26	74

Εξίσωση 3-27	74
Εξίσωση 3-28	74
Εξίσωση 3-29	74
Εξίσωση 3-30	74
Εξίσωση 3-31	74
Εξίσωση 3-32	75
Εξίσωση 3-33	75
Εξίσωση 3-34	75
Εξίσωση 3-35	75
Εξίσωση 3-36	75
Εξίσωση 3-37	75
Εξίσωση 3-38	75
Εξίσωση 3-39	75
Εξίσωση 3-40	75
Εξίσωση 3-41	75
Εξίσωση 3-42	76
Εξίσωση 3-43	76
Εξίσωση 3-44	76
Εξίσωση 3-45	76
Εξίσωση 3-46	76
Εξίσωση 3-47	76
Εξίσωση 3-48	76
Εξίσωση 3-49	76
Εξίσωση 3-50	76
Εξίσωση 3-51	77
Εξίσωση 3-52	79
Εξίσωση 3-53	79
Εξίσωση 4-1	81
Εξίσωση 4-2	81
Εξίσωση 4-3	93
Εξίσωση 4-4	93
Εξίσωση 4-5	99